

产品介绍

LS98006 是通用可配置的模数混合芯片，有体积小、超低功耗和高可靠性等特点。客户可以根据自己的功能需求设计芯片，配置 LS98006 内部的模拟和逻辑功能模块的连接并把设计烧录到内部的 NVM（Non-Volatile Memory）。内部功能模块如下：

- 3x 模拟比较器
 - 1x 多通道模拟比较器 MACMP
 - 1x 单通道模拟比较器 ACMP1
 - 1x 单通道模拟比较器 ACMP2
- 2x Voltage Reference Output
- 39x 组合逻辑单元
 - 7x 2-bit LUT/DFF
 - 3x 2-bit LUT/Pattern Generator
 - 6x 2-bit LUT/Edge Detector
 - 20x 3-bit LUT/DFF
 - 3x 3-bit LUT/36-bit Pipe Delay
- 16x 多功能模块 (MFB)
 - 12x 可选的 3-bit LUT/DFF + 8-bit Counter/Delay
 - 4x 可选的 4-bit LUT/DFF + 16-bit Counter/Delay
- 1x I²C Virtual Output And 12bits Pipe Delay
- I²C 通讯接口
- 3x 内部时钟振荡器
 - 1x 20Mhz 时钟振荡器
 - 1x 2Mhz 时钟振荡器
 - 1x 2Khz 时钟振荡器
- 晶体振荡器
- 外部时钟
- 2x 恒流源（最大 3mA）
- POR
- 读保护功能
- 工作电压范围 VDD: 1.8V(±5 %) to 5 V (±10 %)
- 工作温度范围 -40°C ~ 85°C
- RoHS Compliant/Halogen-Free
- 封装 20pin TQFN: 2mm x 3mm x 0.55mm, 0.4mm pitch
20pin TSSOP: 6.5mm × 6.4mm × 1.0mm, 0.65mm pin pitch

应用

- | | | |
|--------------|-------------|--------|
| • 个人计算机和服务 | • 消费电子产品 | • 安防设备 |
| • IOT 物联网设备 | • 数据通信设备 | • 医疗设备 |
| • PC 外围设备 | • 工业控制、工业仪表 | • 电机控制 |
| • 手持式和便携电子设备 | • 车载中控、仪表 | • 储能设备 |

Glossary

A

- ACMP: Analog Comparator
- ACMPH: Analog Comparator High Speed
- ACMPL: Analog Comparator Low Speed

B

- BG: Bandgap

C

- CLK: Clock
- CNT: Counter

D

- DFF: D Flip-Flop
- DLY: Delay

E

- ESD: Electrostatic discharge

F

- FSM: Finite State Machine

G

- GPI: General Purpose Input
- GPIO: General Purpose Input/Output
- GPO: General Purpose Output

I

- IN: Input
- IO: Input/Output

L

- LSB: Least Significant Bit
- LUT: Look-Up Table
- LV: Low Voltage

M

- MSB: Most Significant Bit
- MUX: Multiplexer
- MFB: Multi-Function Block

N

- nRST: Reset
- NVM: Non-Volatile Memory

O

- OE: Output Enable
- OSC: Oscillator
- OUT: Output

P

- PDWM: Power-down
- PGen: Pattern Generator
- POR: Power-On Reset
- PP: Push-Pull
- PDLY: Programmable Delay

S

- SCL: I²C Clock Input
- SDA: I²C Data Input/Output
- SLA: Slave Address
- SMT: With Schmitt Trigger

V

- VREF: Voltage Reference

W

- WOSMT: Without Schmitt Trigger

目录

产品介绍	1
应用	1
Glossary	2
1. 系统框图	6
2. 引脚定义	7
2.1 TQFN-20L 的引脚配置	7
2.2 引脚功能描述	8
3. 基本电气指标	9
3.1 极限指标	9
3.2 建议工作环境目标	9
3.3 静电放电额定值	9
3.4 电气特性	10
4. 输入输出引脚	17
4.1 通用输入引脚	17
4.2 通用输入输出引脚	18
5. 互联矩阵	19
6. 组合逻辑功能单元	19
7. 多功能模块 (MFB)	22
8. I ² C Virtual Memory Out 和 Pipe Delay	24
9. I ² C 通信接口	25
9.1 I ² C 读取	25
9.1.1 当前地址读取指令	25
9.1.2 随机读取指令	25
9.1.3 顺序读取指令	25
9.2 I ² C 写入	26
9.2.1 字节写入指令	26
9.2.2 顺序写入指令	26
9.3 I ² C 时序图	26
9.4 I ² C 软件复位功能	26
10. 电压参考源 (Voltage Reference)	27
10.1 电压参考源概述	27
10.2 电压参考源公式	27
10.3 电压参考源系统框图	27
11. 恒流源 (Current Source 最大 3mA)	27
12. 模拟比较器(ACMP)	28
12.1 多通道采样模拟比较器(MACMP)	28
12.2 单通道模拟比较器 1(ACMP1)	29
12.3 单通道模拟比较器 2(ACMP2)	29
13. 时钟方案	30
14. 外部时钟	31

14.1 Matrix Source for 2KHz / 2MHz / 20MHz Clock.....	31
15. 晶体振荡器	31
16. 代码保护功能	31
17. POR 序列.....	32
18. Virtual Memory	34
18.1 Virtual Memory Input.....	34
18.2 Virtual Memory Output	34
19. 封装信息	35
20. 订购信息	36
20.1 载带和卷盘规格（Tape and Reel Specifications）	36
20.2 载带图与尺寸(Carrier Tape Drawing and Dimensions)	36
21. 修订历史	37

1. 系统框图

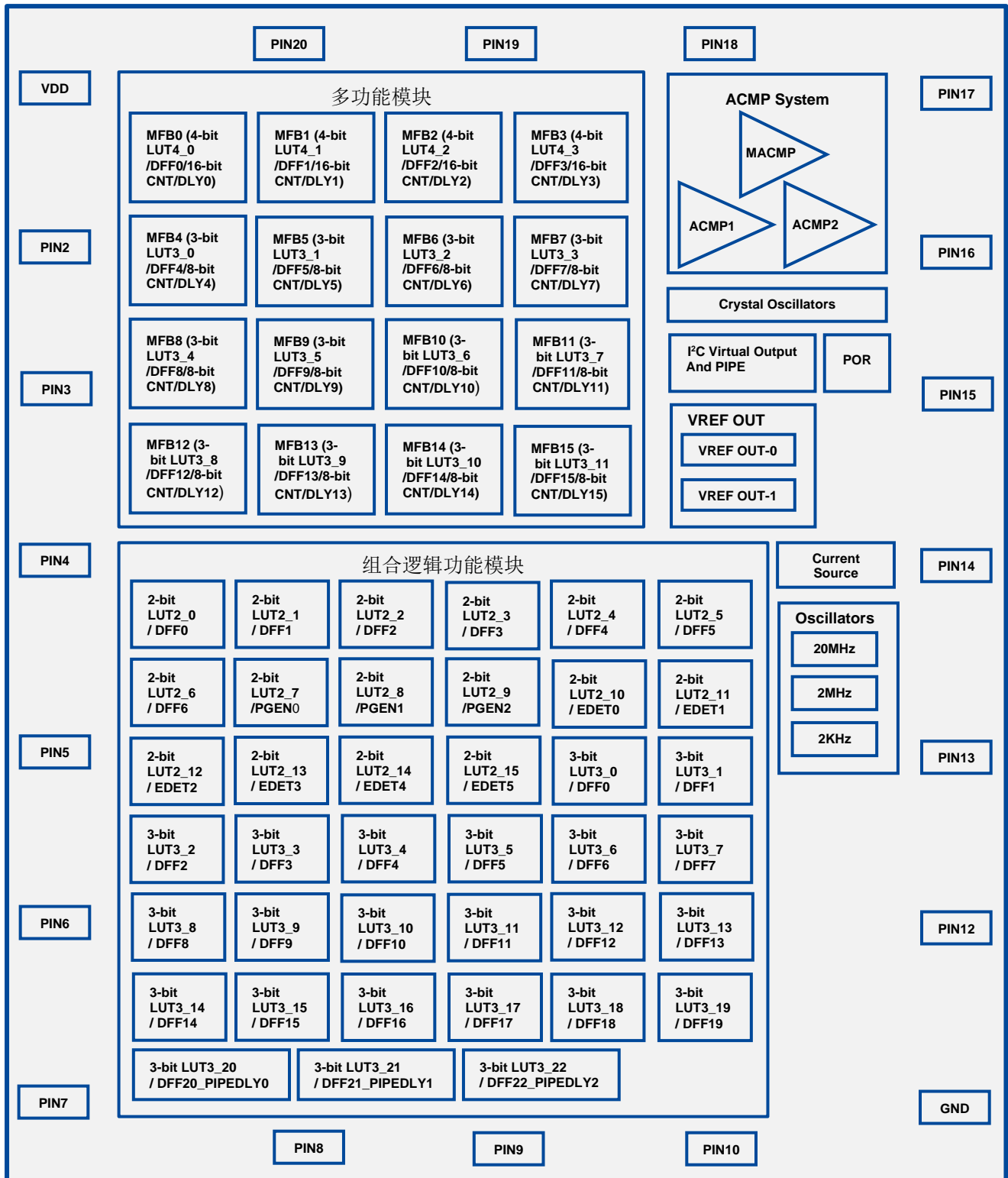


图 1: 系统框图

2. 引脚定义

2.1 TQFN-20L 的引脚配置

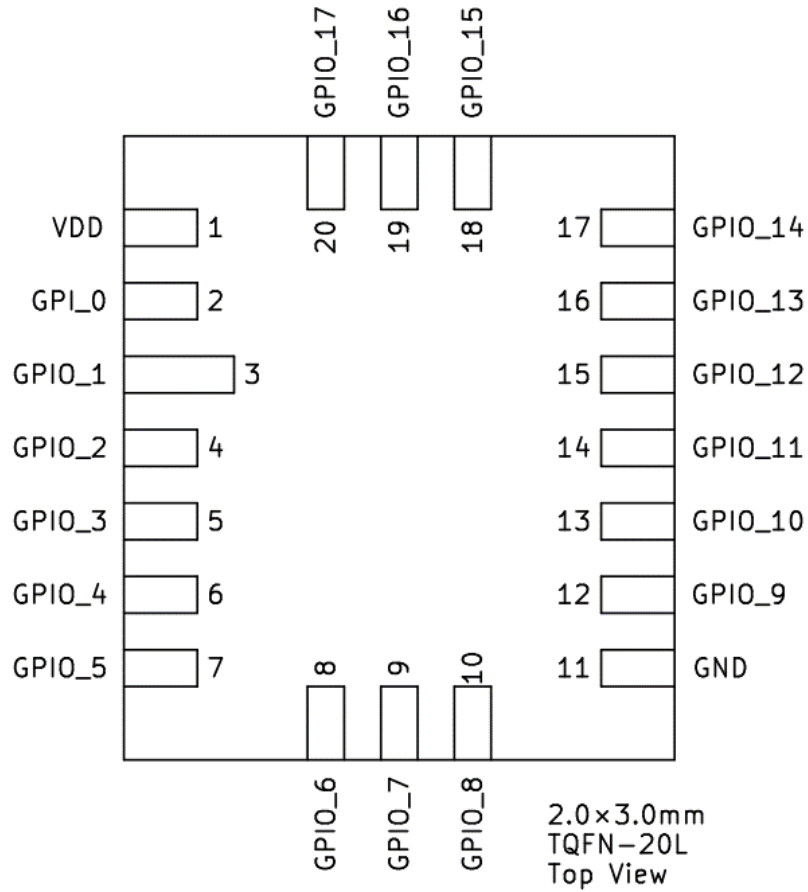


图 2: TQFN-20L (TOP View)

2.2 引脚功能描述

表 1: 引脚功能描述

Pin	Name	Type	Function
1	VDD	Power Source	Positive Power Input
2	GPI_0	GPI	Digital Input
		SLA_0	I ² C Slave address bit 0
		VPP	OTP Program Power
3	GPIO_1	GPIO1, SLA-1	Digital Input/Output, I ² C Slave address bit 1
4	GPIO_2	GPIO2, SLA-2	Digital Input/Output, I ² C Slave address bit 2
5	GPIO_3	GPIO3, SLA-3	Digital Input/Output, I ² C Slave address bit 3
		Analog IO	Analog Input
6	GPIO_4	GPIO4	Digital Input/Output
		Analog IO	Analog Input
7	GPIO_5	GPIO5	Digital Input/Output
		Analog IO	Analog Input
8	GPIO_6	GPIO6	Digital Input/Output
		I ² C-SCL	I ² C Clock
9	GPIO_7	GPIO7	Digital Input/Output
		I ² C-SDA	I ² C Data
10	GPIO_8	GPIO8	Digital Input/Output
		Analog IO	Analog Input
11	GND	GND	Power Grounding
12	GPIO_9	GPIO9	Digital Input/Output
		Analog IO	Analog Input
13	GPIO_10	GPIO10	Digital Input/Output
		Analog IO	Analog Input
14	GPIO_11	GPIO11	Digital Input/Output
		Analog IO	Analog Input
15	GPIO_12	GPIO12	Digital Input/Output
		Analog IO	Analog Input
16	GPIO_13	GPIO13	Digital Input/Output
		XTAL-0	External Crystal Output
17	GPIO_14	GPIO14	Digital Input/Output
		XTAL-1	External Crystal Input
18	GPIO_15	GPIO15	Digital Input/Output
		VREF0	VREF 0 Output
19	GPIO_16	GPIO16	Digital Input/Output
		VREF1	VREF 1 Output
20	GPIO_17	GPIO17	Digital Input/Output

3. 基本电气指标

3.1 极限指标

超过绝对最大额定值可能会对设备造成永久性损坏，设备在任何条件下的功能运行中不能超出了下表所示的限定值，因为长期暴露于绝对最大额定值条件可能会影响设备可靠性。模拟和数字接地必须在 PCB 板上连接在一起，对于 LS98006 数字电流较低的应用场合，GND 应连接到模拟接地平面。

表 2: 极限指标

参数	最小	最大	单位
VDD 到地	-0.3	7	V
IO 最高电压	-0.3	7	V
VDD 到 GND 最大直流电流	--	180	mA
输入漏电流	--	1000	nA
存储温度	-65	150	°C
Junction 温度	--	150	°C
湿敏等级 MSL	1		

3.2 建议工作环境目标

表 3: 建议工作环境目标

参数	最小	最大	单位
VDD 电源电压	1.71	5.5	V
工作温度	-40	85	°C
输入到 Pin 的最大电压	-0.2	VDD +0.3	V
VDD 退耦电容	0.1	--	uF

3.3 静电放电额定值

表 4: 静电放电额定值

参数	最小	最大	单位
ESD 保护 (Charged Device Model)	500	--	V
ESD 保护 (Human Body Model)	2000	--	V

3.4 电气特性

表 5: Electrical Characteristics (VDD: 1.8 V \pm 5%, Temp: -40~85°C)

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
POR						
PON _{THR}	Power On Threshold	VDD Level Required to Start Up the Chip	1.3	1.43	1.6	V
POFF _{THR}	Power Off Threshold	VDD Level Required to Switch Off the Chip	0.55	1.03	1.35	V
T _{SU}	Startup Time	From VDD rising past PON _{THR}	--	0.8	--	ms
I _{stand_by}		T=+25 °C	--	50	--	nA
IO PIN						
V _{IH}	HIGH-Level Input Voltage	Logic Input	0.7*VDD	--	--	V
		Logic Input with Schmitt Trigger	0.8*VDD	--	--	V
		Low-Level Logic Input	0.83	--	--	V
V _{IL}	LOW-Level Input Voltage	Logic Input	--	--	0.3*VDD	V
		Logic Input with Schmitt Trigger	--	--	0.2*VDD	V
		Low-Level Logic Input	--	--	0.46	V
V _{HYS}	Schmitt Trigger Hysteresis Voltage	Logic Input with Schmitt Trigger	--	0.42	--	V
I _{LKG}	Input leakage (Absolute Value)	--	--	1	1000	nA
V _{OH}	HIGH-Level Output Voltage	Push-Pull, I _{OH} = 100 μ A, 1X Drive	1.69	--	--	V
		Push-Pull, I _{OH} = 100 μ A, 2X Drive	1.70	--	--	V
		Push-Pull, I _{OH} = 100 μ A, 4X Drive	1.71	--	--	V
V _{OL}	LOW-Level Output Voltage	Push-Pull, I _{OL} = 100 μ A, 1X Drive	--	--	0.012	V
		Push-Pull, I _{OL} = 100 μ A, 2X Drive	--	--	0.006	V
		Push-Pull, I _{OL} = 100 μ A, 4X Drive	--	--	0.003	V
		Open Drain, I _{OL} = 100 μ A, 1X Drive	--	--	0.004	V
		Open Drain, I _{OL} = 100 μ A, 2X Drive	--	--	0.002	V
		Open Drain, I _{OL} = 100 μ A, 4X Drive	--	--	0.001	V
I _{OH}	HIGH-Level Output Pulse Current (see Note)	Push-Pull, V _{OH} = VDD-0.2, 1X Drive	0.81	--	--	mA
		Push-Pull, V _{OH} = VDD-0.2, 2X Drive	1.6	--	--	mA
		Push-Pull, V _{OH} = VDD-0.2, 4X Drive	3.2	--	--	mA
I _{OL}	LOW-Level Output Pulse Current (see Note)	Push-Pull, V _{OL} = 0.15 V, 1X Drive	1.1	--	--	mA
		Push-Pull, V _{OL} = 0.15 V, 2X Drive	2.1	--	--	mA
		Push-Pull, V _{OL} = 0.15 V, 4X Drive	4.2	--	--	mA
		Open Drain, V _{OL} = 0.15 V, 1X Drive	3.2	--	--	mA
		Open Drain, V _{OL} = 0.15 V, 2X Drive	6.3	--	--	mA
		Open Drain, V _{OL} = 0.15 V, 4X Drive	12.7	--	--	mA
R _{PUP}	Pull Up Resistance	1 M Pull Up	--	1	--	M Ω
		100 k Pull Up	--	100	--	K Ω
		10 k Pull Up	--	10	--	K Ω
R _{PDWN}	Pull Down Resistance	1 M Pull Down	--	1	--	M Ω
		100 k Pull Down	--	100	--	K Ω
		10 k Pull Down	--	10	--	K Ω
Oscillators						
Power-On time	20MHz OSC	T=+25 °C	--	2.4	--	μ S
Frequency _{Accuracy}		T=+25 °C	--	20	--	MHz
		T=-40 °C to +85 °C	19	--	21	MHz

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
Power Consumption		T=+25 °C	--	73	--	uA
Power-On time	2MHz OSC	T=+25 °C	--	0.5	--	uS
FrequencyAccuracy		T=+25 °C	--	2	--	MHz
		T=-40 °C to +85 °C	1.84	--	2.16	MHz
Power Consumption	2KHz OSC	T=+25 °C	--	28	--	uA
Power-On time		T=+25 °C	--	520	--	uS
FrequencyAccuracy		T=+25 °C	--	2	--	KHz
		T=-40 °C to +85 °C	1.9	--	2.1	KHz
Power Consumption		T=+25 °C	--	0.22	--	uA
ACMP Specifications						
V _{ACMP}	ACMP Input Voltage Range	Positive Input	0	--	VDD	V
		Negative Input	0	--	1	V
V _{offset}	ACMP Input Offset	--	-3	1	3	mV
MACMP _{Voffset}	Channel switching frequency	Freq=75K/37.5K	-4	--	4	mV
		Freq=150K	-10	--	10	mV
Input Buffer (VDD>2.3V)	Bandwidth	Input Buffer	--	1	--	MHz
	Offset		-10	2.5	10	mV
	Power Consumption		--	6	--	uA
t _{start}	ACMP Startup Time when BG On	ACMP Power-On delay, Minimal required wake time for the "Wake and Sleep function", for ACMP	--	45	65	uS
	ACMP Startup Time when BG Off		--	175	245	uS
R _{sin}	Series Input Resistance	Gain = 1	--	100	--	MΩ
		Gain = 1/2	1.52	1.9	2.28	MΩ
		Gain = 1/4	1.52	1.9	2.28	MΩ
		Gain = 1/6	1.52	1.9	2.28	MΩ
PROP	Propagation Delay, Response Time	ACMPxL, Vref =1V, Gain = 1, Overdrive = 20 mV	--	1.1	--	uS
G	Gain error	G=1	--	--	--	
		G=1/2	-0.5%	--	0.5%	
		G=1/4	-0.5%	--	0.5%	
		G=1/6	-0.5%	--	0.5%	
Vref	Internal Vref error, Vref=0 to1000 mV	T=+25 °C	-0.5%	--	0.5%	Fs
		T=-40 °C to +85 °C	-1%	--	1%	Fs
Power Consumption			--	12	--	uA
Vref Out Characteristics						
Vref _{Accuracy}	Vref Gain Accuracy	G=1	-0.2%	--	0.2%	
		G=2	-0.2%	--	0.2%	
		G=4	-0.2%	--	0.2%	
		G=5	-0.2%	--	0.2%	
Vref _{offset}	Vref Opamp Offset	G=1 (VCM IN=VDD/2)	-3.5	--	3.5	mV
Vref DAC _{offset}			--	7.5	--	mV
loading		Push Pull Output	2	--	--	mA
Power Consumption			--	10	--	uA
Voltage of Output to VDD		Maximum output voltage Vout = VDD – 0.3 – 300Ω × Iout				
Note: DC or average current through any pin should not exceed value given in Absolute Maximum Conditions.						

表 6: Electrical Characteristics (VDD: 3.3 V ±10%, Temp: -40~85°C)

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
POR						
PON _{THR}	Power On Threshold	VDD Level Required to Start Up the Chip	1.3	1.43	1.6	V
POFF _{THR}	Power Off Threshold	VDD Level Required to Switch Off the Chip	0.55	1.03	1.35	V
T _{SU}	Startup Time	From VDD rising past PON _{THR}	0.4	0.8	1.3	ms
I _{stand_by}		T=+25 °C	--	80	--	nA
IO PIN						
V _{IH}	HIGH-Level Input Voltage	Logic Input	0.7*VDD	--	--	V
		Logic Input with Schmitt Trigger	0.8*VDD	--	--	V
		Low-Level Logic Input	1.02	--	--	V
V _{IL}	LOW-Level Input Voltage	Logic Input	--	--	0.3*VDD	V
		Logic Input with Schmitt Trigger	--	--	0.2*VDD	V
		Low-Level Logic Input	--	--	0.63	V
V _{HYS}	Schmitt Trigger Hysteresis Voltage	Logic Input with Schmitt Trigger	--	0.45	--	V
I _{LKG}	Input leakage (Absolute Value)	--	--	1	1000	nA
V _{OH}	HIGH-Level Output Voltage	Push-Pull, I _{OH} = 3 mA, 1X Drive	2.67	--	--	V
		Push-Pull, I _{OH} = 3 mA, 2X Drive	2.85	--	--	V
		Push-Pull, I _{OH} = 3 mA, 4X Drive	2.93	--	--	V
V _{OL}	LOW-Level Output Voltage	Push-Pull, I _{OL} = 3 mA, 1X Drive	--	--	0.21	V
		Push-Pull, I _{OL} = 3 mA, 2X Drive	--	--	0.10	V
		Push-Pull, I _{OL} = 3 mA, 4X Drive	--	--	0.05	V
		Open Drain, I _{OL} = 3 mA, 1X Drive	--	--	0.07	V
		Open Drain, I _{OL} = 3 mA, 2X Drive	--	--	0.03	V
		Open Drain, I _{OL} = 3 mA, 4X Drive	--	--	0.02	V
I _{OH}	HIGH-Level Output Pulse Current (see Note)	Push-Pull, V _{OH} = 2.4 V, 1X Drive	5	--	--	mA
		Push-Pull, V _{OH} = 2.4 V, 2X Drive	10	--	--	mA
		Push-Pull, V _{OH} = 2.4 V, 4X Drive	20	--	--	mA
I _{OL}	LOW-Level Output Pulse Current (see Note)	Push-Pull, V _{OL} = 0.4 V, 1X Drive	5	--	--	mA
		Push-Pull, V _{OL} = 0.4 V, 2X Drive	10	--	--	mA
		Push-Pull, V _{OL} = 0.4 V, 4X Drive	19.9	--	--	mA
		Open Drain, V _{OL} = 0.4 V, 1X Drive	15.2	--	--	mA
		Open Drain, V _{OL} = 0.4 V, 2X Drive	30.3	--	--	mA
		Open Drain, V _{OL} = 0.4 V, 4X Drive	54	--	--	mA
R _{PUP}	Pull Up Resistance	1 M Pull Up	--	1	--	MΩ
		100 k Pull Up	--	100	--	KΩ
		10 k Pull Up	--	10	--	KΩ
R _{PDWN}	Pull Down Resistance	1 M Pull Down	--	1	--	MΩ
		100 k Pull Down	--	100	--	KΩ
		10 k Pull Down	--	10	--	KΩ
Oscillators						
Power-On time	20MHz OSC	T=+25 °C	--	2.2	--	uS
Frequency _{Accuracy}		T=+25 °C	--	20	--	MHz
		T=-40 °C to +85 °C	19	--	21	MHz
Power Consumption		T=+25 °C	--	73	--	uA

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
Power-On time	2MHz OSC	T=+25 °C	--	0.5	--	uS
Frequency _{Accuracy}		T=+25 °C	--	2	--	MHz
		T=-40 °C to +85 °C	1.84		2.16	MHz
Power Consumption	2KHz OSC	T=+25 °C	--	28	--	uA
Power-On time		T=+25 °C	--	520	--	uS
Frequency _{Accuracy}		T=+25 °C	--	2	--	KHz
		T=-40 °C to +85 °C	1.9	--	2.1	KHz
Power Consumption		T=+25 °C	--	0.22	--	uA
ACMP Specifications						
V _{ACMP}	ACMP Input Voltage Range	Positive Input	0	--	VDD	V
		Negative Input	0	--	1	V
V _{offset}	ACMP Input Offset	--	-3	1	3	mV
MACMP _{Voffset}	Channel switching frequency	Freq=75K/37.5K	-4	--	4	mV
		Freq=150K	-10	--	10	mV
Input Buffer (VDD>2.3V)	Bandwidth	Input Buffer	--	1	--	MHz
	Offset		-10	2.5	10	mV
	Power Consumption		--	6	--	uA
t _{start}	ACMP Startup Time when BG On	ACMP Power-On delay, Minimal required wake time for the "Wake and Sleep function", for ACMP	--	45	65	uS
	ACMP Startup Time when BG Off		--	175	245	uS
R _{sin}	Series Input Resistance	Gain = 1	--	100	--	MΩ
		Gain = 1/2	1.52	1.9	2.28	MΩ
		Gain = 1/4	1.52	1.9	2.28	MΩ
		Gain = 1/6	1.52	1.9	2.28	MΩ
PROP	Propagation Delay, Response Time	ACMPxL, Vref =1V, Gain = 1, Overdrive = 20 mV	--	1.1	--	uS
G	Gain error	G=1	--	--	--	
		G=1/2	-0.5%	--	0.5%	
		G=1/4	-0.5%	--	0.5%	
		G=1/6	-0.5%	--	0.5%	
Vref	Internal Vref error, Vref=0 to1000 mV	T=+25 °C	-0.5%	--	0.5%	Fs
		T=-40 °C to +85 °C	-1%	--	1%	Fs
Power Consumption			--	12	--	uA
Vref Out Characteristics						
Vref _{Accuracy}	Vref Gain Accuracy	G=1	-0.2%	--	0.2%	
		G=2	-0.2%	--	0.2%	
		G=4	-0.2%	--	0.2%	
		G=5	-0.2%	--	0.2%	
Vref _{offset}	Vref Opamp Offset	G=1 (VCM IN=VDD/2)	-3.5	--	3.5	mV
Vref DAC _{offset}			--	7.5	--	mV
I _{loading}		Push Pull Output	2	--	--	mA
Power Consumption			--	10	--	uA
Voltage of Output to VDD		Maximum output voltage Vout = VDD – 0.3 – 300Ω × Iout				
Note: DC or average current through any pin should not exceed value given in Absolute Maximum Conditions.						

表 7: Electrical Characteristics (VDD: 5 V ±10%, Temp: -40~85°C)

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
POR						
PON _{THR}	Power On Threshold	VDD Level Required to Start Up the Chip	1.3	1.43	1.6	V
POFF _{THR}	Power Off Threshold	VDD Level Required to Switch Off the Chip	0.55	1.03	1.35	V
T _{SU}	Startup Time	From VDD rising past PON _{THR}	0.4	0.8	1.3	ms
I _{stand_by}		T=+25 °C	--	150	--	nA
IO PIN						
V _{IH}	HIGH-Level Input Voltage	Logic Input	0.7*VDD	--	--	V
		Logic Input with Schmitt Trigger	0.8*VDD	--	--	V
		Low-Level Logic Input	1.11	--	--	V
V _{IL}	LOW-Level Input Voltage	Logic Input	--	--	0.3*VDD	V
		Logic Input with Schmitt Trigger	--	--	0.2*VDD	V
		Low-Level Logic Input	--	--	0.70	V
V _{HYS}	Schmitt Trigger Hysteresis Voltage	Logic Input with Schmitt Trigger	--	0.54	--	V
I _{LKG}	Input leakage (Absolute Value)	--	--	1	1000	nA
V _{OH}	HIGH-Level Output Voltage	Push-Pull, I _{OH} = 5 mA, 1X Drive	4.16	--	--	V
		Push-Pull, I _{OH} = 5 mA, 2X Drive	4.33	--	--	V
		Push-Pull, I _{OH} = 5 mA, 4X Drive	4.41	--	--	V
V _{OL}	LOW-Level Output Voltage	Push-Pull, I _{OL} = 5 mA, 1X Drive	--	--	0.26	V
		Push-Pull, I _{OL} = 5 mA, 2X Drive	--	--	0.12	V
		Push-Pull, I _{OL} = 5 mA, 4X Drive	--	--	0.06	V
		Open Drain, I _{OL} = 5 mA, 1X Drive	--	--	0.08	V
		Open Drain, I _{OL} = 5 mA, 2X Drive	--	--	0.04	V
		Open Drain, I _{OL} = 5 mA, 4X Drive	--	--	0.02	V
I _{OH}	HIGH-Level Output Pulse Current (see Note)	Push-Pull, V _{OH} = 2.4 V, 1X Drive	19.2	--	--	mA
		Push-Pull, V _{OH} = 2.4 V, 2X Drive	38.5	--	--	mA
		Push-Pull, V _{OH} = 2.4 V, 4X Drive	70	--	--	mA
I _{OL}	LOW-Level Output Pulse Current (see Note)	Push-Pull, V _{OL} = 0.4 V, 1X Drive	7.1	--	--	mA
		Push-Pull, V _{OL} = 0.4 V, 2X Drive	14.2	--	--	mA
		Push-Pull, V _{OL} = 0.4 V, 4X Drive	28.4	--	--	mA
		Open Drain, V _{OL} = 0.4 V, 1X Drive	21.7	--	--	mA
		Open Drain, V _{OL} = 0.4 V, 2X Drive	43.4	--	--	mA
		Open Drain, V _{OL} = 0.4 V, 4X Drive	79	--	--	mA
R _{PUP}	Pull Up Resistance	1 M Pull Up	--	1	--	MΩ
		100 k Pull Up	--	100	--	KΩ
		10 k Pull Up	--	10	--	KΩ
R _{PDWN}	Pull Down Resistance	1 M Pull Down	--	1	--	MΩ
		100 k Pull Down	--	100	--	KΩ
		10 k Pull Down	--	10	--	KΩ
Oscillators						
Power-On time	20MHz OSC	T=+25 °C	--	2.2	--	μS
Frequency Accuracy		T=+25 °C	--	20	--	MHz
		T=-40 °C to +85 °C	19	--	21	MHz
Power Consumption		T=+25 °C	--	73	--	μA

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
Power-On time	2MHz OSC	T=+25 °C	--	0.5	--	uS
FrequencyAccuracy		T=+25 °C	--	2	--	MHz
		T=-40 °C to +85 °C	1.84	--	2.16	MHz
Power Consumption		T=+25 °C	--	28	--	uA
Power-On time	2kHz OSC	T=+25 °C	--	520	--	uS
FrequencyAccuracy		T=+25 °C	--	2	--	KHz
		T=-40 °C to +85 °C	1.9	--	2.1	KHz
Power Consumption		T=+25 °C	--	0.22	--	uA
ACMP Specifications						
V _{ACMP}	ACMP Input Voltage Range	Positive Input	0	--	VDD	V
		Negative Input	0	--	1	V
V _{offset}	ACMP Input Offset	--	-3	1	3	mV
MACMP _{Voffset}	Channel switching frequency	Freq=75K/37.5K	-4	--	4	mV
		Freq=150K	-10	--	10	mV
Input Buffer (VDD>2.3V)	Bandwidth	Input Buffer	--	1	--	MHz
	Offset		-10	2.5	10	mV
	Power Consumption		--	6	--	uA
t _{start}	ACMP Startup Time when BG On	ACMP Power-On delay, Minimal required wake time for the "Wake and Sleep function", for ACMP	--	45	65	uS
	ACMP Startup Time when BG Off		--	175	245	uS
R _{sin}	Series Input Resistance	Gain = 1	--	100	--	MΩ
		Gain = 1/2	1.52	1.9	2.28	MΩ
		Gain = 1/4	1.52	1.9	2.28	MΩ
		Gain = 1/6	1.52	1.9	2.28	MΩ
PROP	Propagation Delay, Response Time	ACMPxL, V _{ref} = 1V, Gain = 1, Overdrive = 20 mV	--	1.1	--	uS
G	Gain error	G=1	--	--	--	
		G=1/2	-0.5%	--	0.5%	
		G=1/4	-0.5%	--	0.5%	
		G=1/6	-0.5%	--	0.5%	
V _{ref}	Internal V _{ref} error, V _{ref} =0 to1000 mV	T=+25 °C	-0.5%	--	0.5%	Fs
		T=-40 °C to +85 °C	-1%	--	1%	Fs
Power Consumption			--	12	--	uA
Vref Out Characteristics						
V _{ref} Accuracy	V _{ref} Gain Accuracy	G=1	-0.2%	--	0.2%	
		G=2	-0.2%	--	0.2%	
		G=4	-0.2%	--	0.2%	
		G=5	-0.2%	--	0.2%	
V _{ref} offset	V _{ref} Opamp Offset	G=1 (V _{CM} IN=VDD/2)	-3.5	--	3.5	mV
V _{ref} DAC _{offset}			--	7.5	--	mV
I _{loading}		Push Pull Output	2	--	--	mA
Power Consumption			--	10	--	uA
Voltage of Output to VDD		Maximum output voltage V _{out} = VDD – 0.3 – 300Ω × I _{out}				
Note: DC or average current through any pin should not exceed value given in Absolute Maximum Conditions.						

表 8: I²C 引脚时序参数, (VDD: 1.8V±5%, Temp: -40°C ~ 85°C)

Parameter	Description	Condition	Standard-Mode		Unit
			Min	Max	
F _{SCL}	Clock Frequency, SCL		--	100	KHz
t _{LOW}	Clock Pulse Width Low		4.7	--	us
t _{HIGH}	Clock Pulse Width High		4.0	--	us
t _i	Input Filter Spike Suppression (SCL,SDA)		--	70	ns
t _{AA}	Clock Low to Data Out Valid		--	3.45	us
t _{BUF}	Bus Free Time between Stop and Start		4.7	--	us
t _{HD_STA}	Start Hold Time		4.7	--	us
t _{SU_STA}	Start Set-up Time		4.7	--	us
t _{HD_DAT}	Data Hold Time		0	--	ns
t _{SU_DAT}	Data Set-up Time		250	--	ns
t _R	Inputs Fail Time		--	1000	ns
t _F	Inputs Rise Time		--	300	ns
t _{SU_STO}	Stop Set-up Time		4.0	--	us
t _{DH}	Data out Hold Time		50	--	ns

Note: Timing Diagram can be found in the Figure 18.

 表 9: I²C 引脚时序参数, (VDD:2.3V ~ 5.5V, Temp: -40°C ~ 85°C)

Parameter	Description	Condition	Fast-Mode		Fast-Mode Plus		Unit
			Min	Max	Min	Max	
F _{SCL}	Clock Frequency, SCL		--	400	--	1000	KHz
t _{LOW}	Clock Pulse Width Low		1300	--	500	--	ns
t _{HIGH}	Clock Pulse Width High		600	--	260	--	ns
t _i	Input Filter Spike Suppression (SCL,SDA)	VDD=2.5V±8%	--	95	--	168	ns
		VDD=3.3V±10%	--	95	--	157	ns
		VDD=5V±10%	--	111	--	156	ns
t _{AA}	Clock Low to Data Out Valid		--	900	--	450	ns
t _{BUF}	Bus Free Time between Stop and Start		1300	--	500	--	ns
t _{HD_STA}	Start Hold Time		600	--	260	--	ns
t _{SU_STA}	Start Set-up Time		600	--	260	--	ns
t _{HD_DAT}	Data Hold Time		0	--	0	--	ns
t _{SU_DAT}	Data Set-up Time		100	--	50	--	ns
t _R	Inputs Fail Time		--	300	--	120	ns
t _F	Inputs Rise Time		--	300	--	120	ns
t _{SU_STO}	Stop Set-up Time		600	--	260	--	ns
t _{DH}	Data out Hold Time		50	--	50	--	ns

Note: Timing Diagram can be found in the Figure 18.

4. 输入输出引脚

LS98006 共有 17 个 GPIO 引脚，可以用作用户定义的输入或输出，也可以用作特殊功能（例如输出电压参考）和 1 个 GPI 引脚。

4.1 通用输入引脚

GPI_0 用作通用输入口，对于通用输入口，内部框图如图 3 所示。

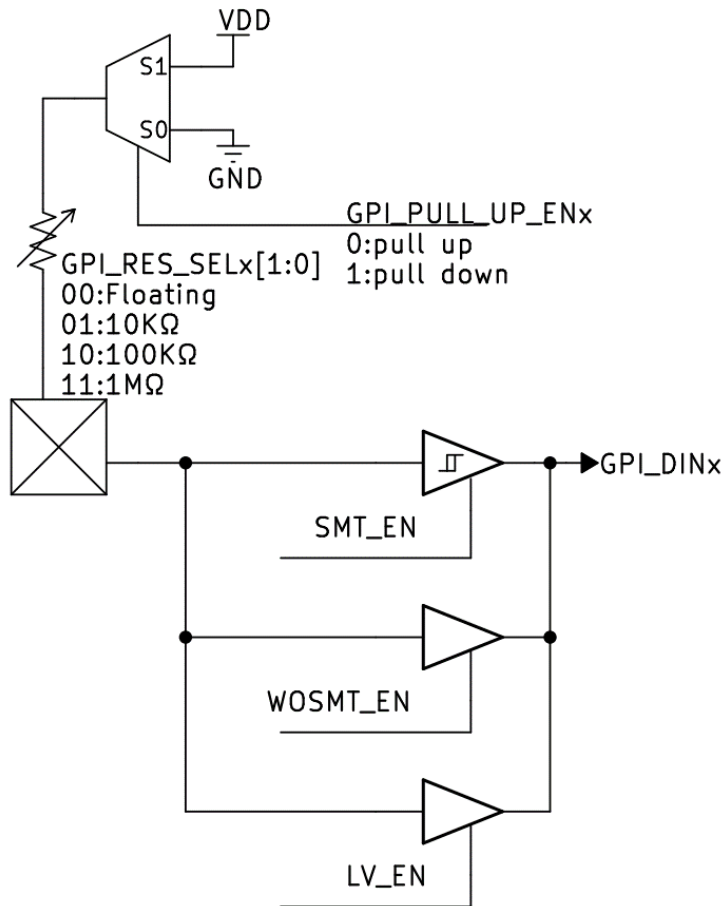


图 3: 通用输入口内部框图

4.2 通用输入输出引脚

GPIO_1、GPIO_2、GPIO_3、GPIO_4、GPIO_5、GPIO_6、GPIO_7、GPIO_8、GPIO_9、GPIO_10、GPIO_11、GPIO_12、GPIO_13、GPIO_14、GPIO_15、GPIO_16 和 GPIO_17 用作通用输入输出。

GPIO_6、GPIO_7 分别作用于 I²C-SCL 和 I²C-SDA 的内部框图如图 4 所示。

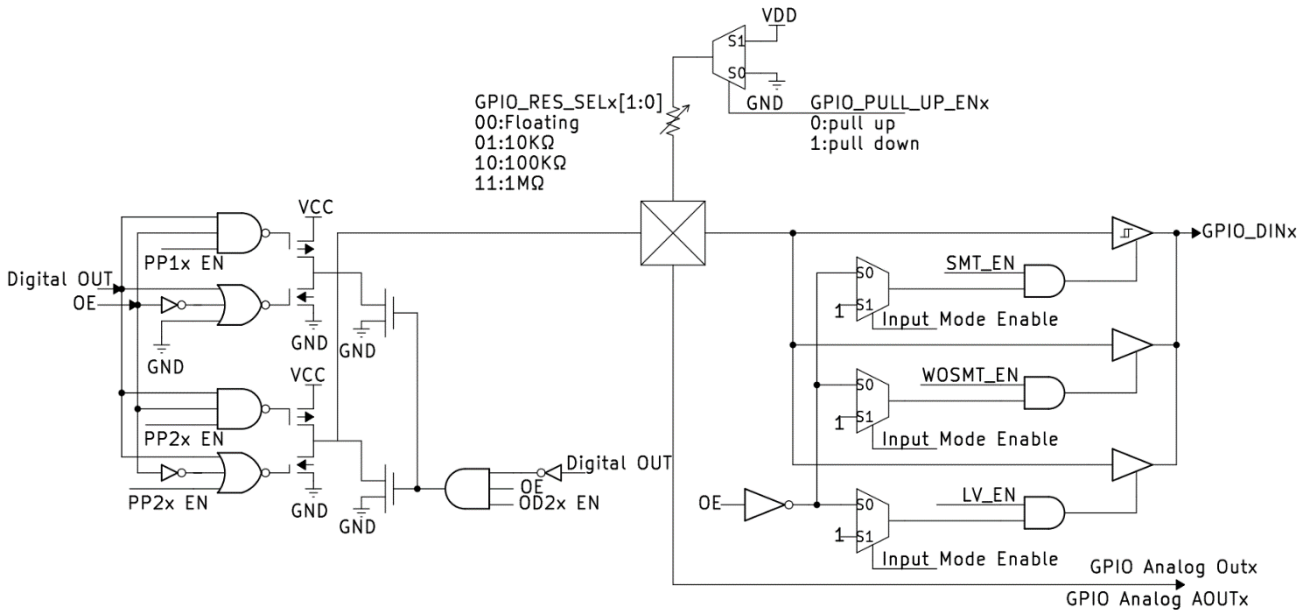


图 4: GPIO_6 与 GPIO_7 内部框图

GPIO_1,2,3,4,5,8,9,10,11,12,13,14,15,16,17 的内部框图如图 5 所示。

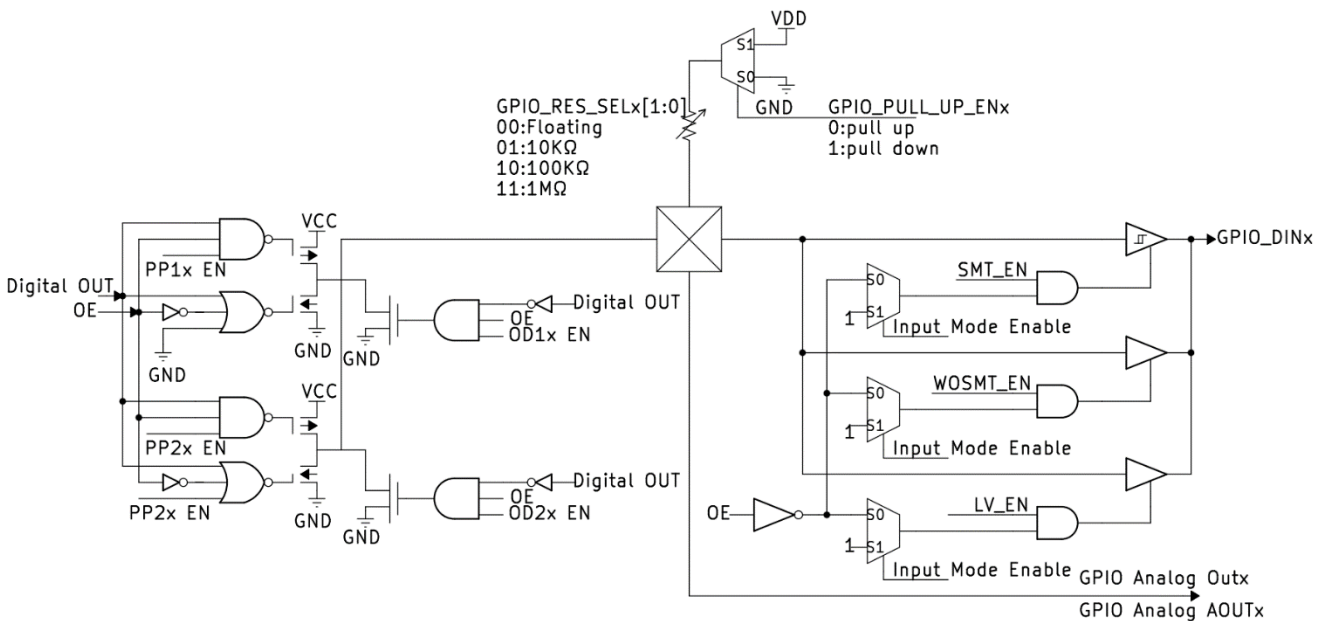


图 5: 通用输入输出引脚内部框图

5. 互联矩阵

LS98006 内部有一个互联矩阵，通过寄存器配置，互联矩阵可用于内部资源连接，这些寄存器可通过 OTP 烧录。

互联矩阵的 input 来自内部资源或互联矩阵的输出，而互联矩阵的输出则是内部资源或互联矩阵的输入。互联矩阵的输出通过一组寄存器来配置。

6. 组合逻辑功能单元

LS98006 具有 39 个组合功能单元，可以用作多个逻辑或定时功能。在各种情况下，它们都可以用作 LUT，或者用作另一个逻辑或定时功能，能够在这些单元中实现的功能，请参见下面的列表：

- 7x 2-bit LUT/DFF
- 3x 2-bit LUT/Pattern Generator
- 6x 2-bit LUT/Edge Detector
- 20x 3-bit LUT/DFF with nSET/nRST
- 3x 3-bit LUT/36-bit Pipe Delay

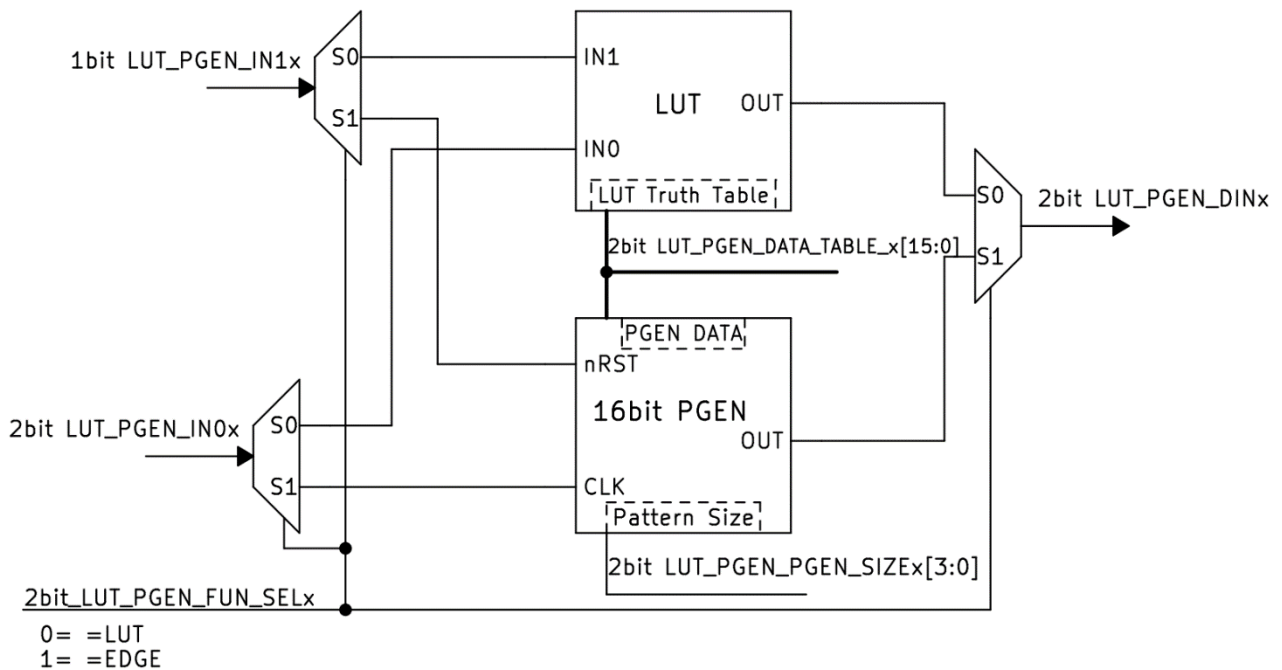
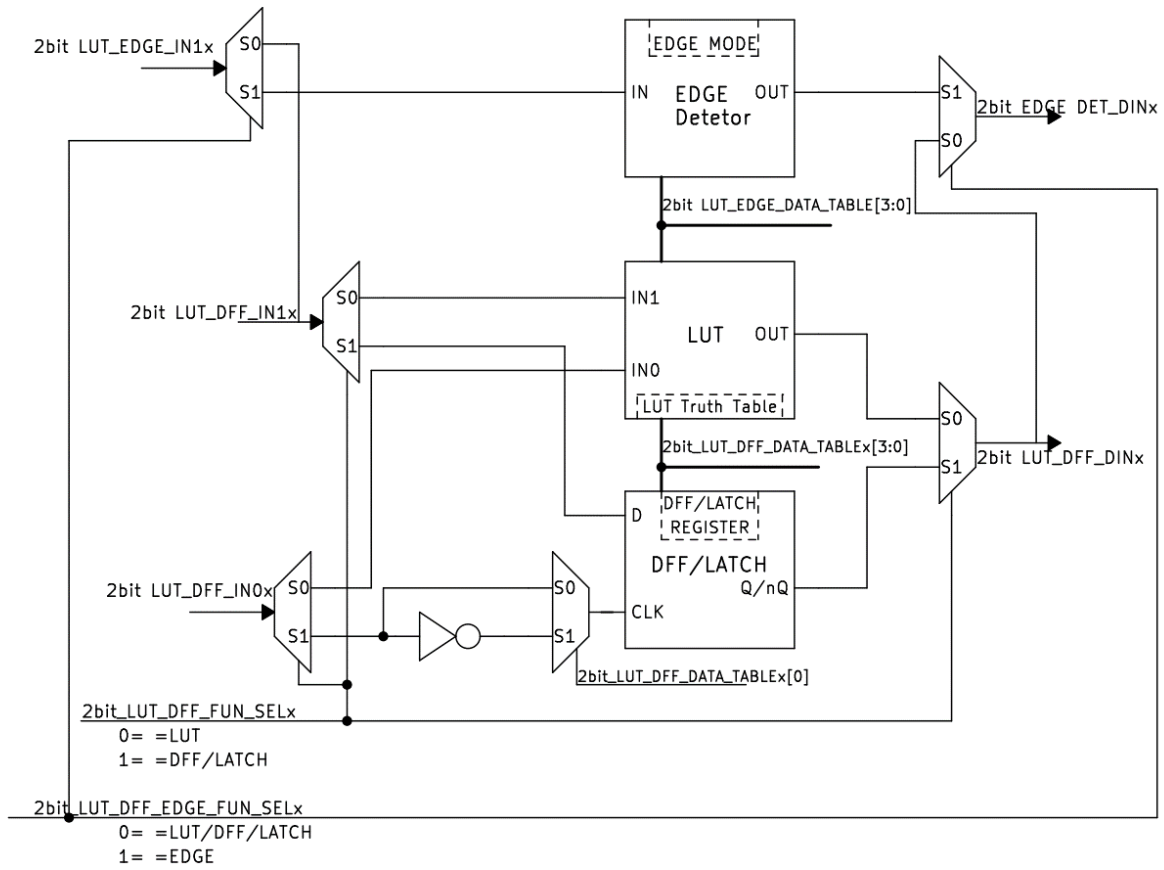
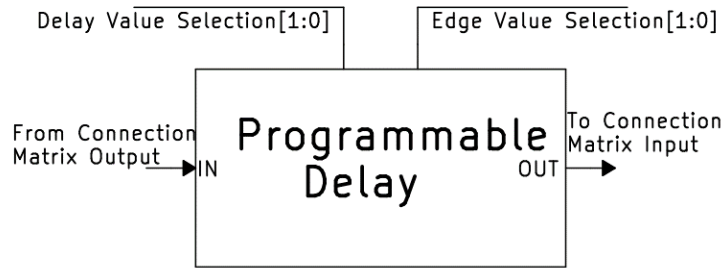


图 6: 2-bit LUT/Pattern Generator 电路图


图 7: 2 bit LUT/DFF/Edge Detector 电路图

图 8: Programmable Delay 框图

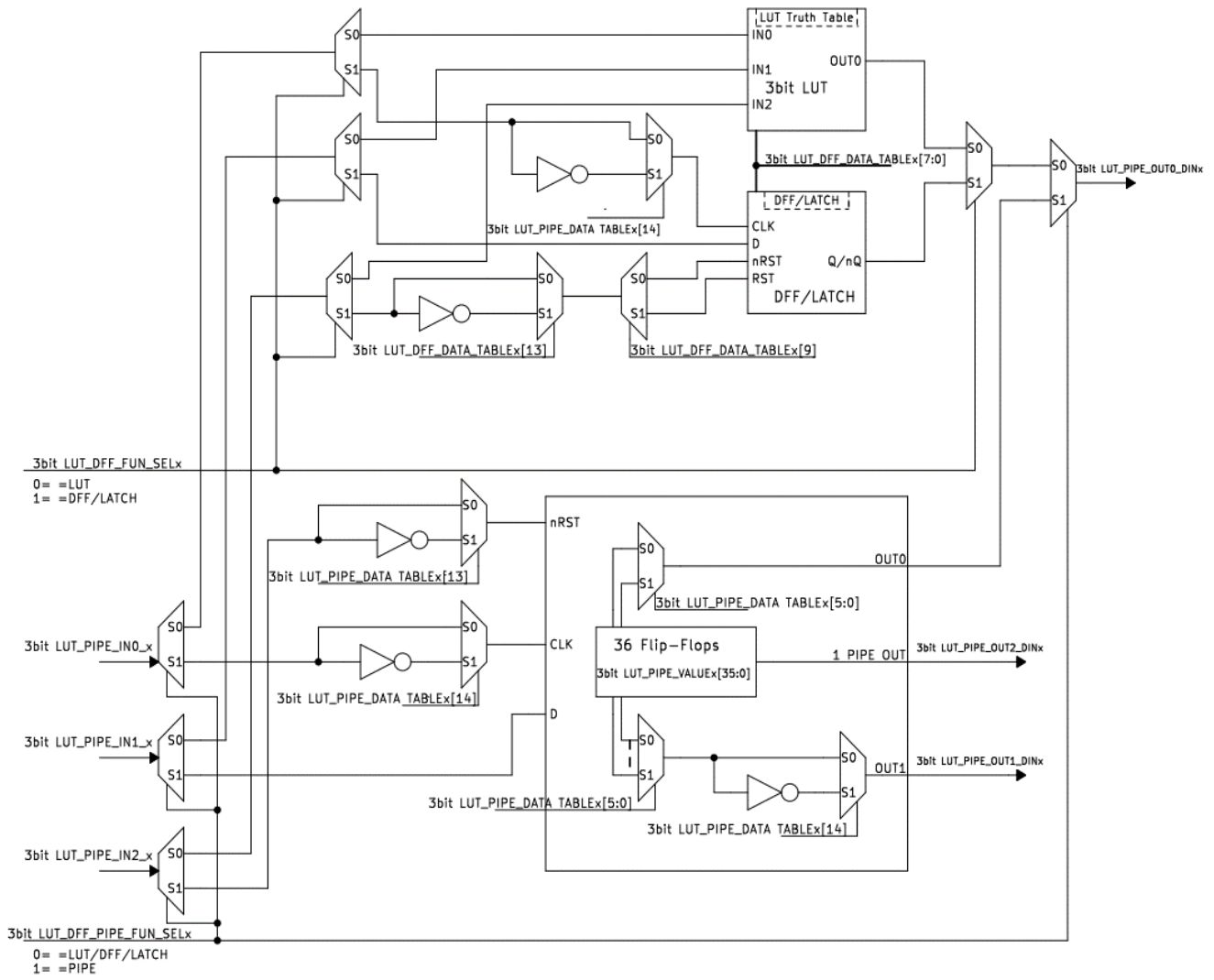


图 9: 3-bit LUT 或 DFF 或 Pipe Delay 电路图

7. 多功能模块 (MFB)

LS98006具有16个多功能单元，可充当多个逻辑或定时功能。在各种情况下，它们都可以作为LUT、具有灵活设置的DFF，或者作为具有多种模式的Counter/Delay，如单次拍摄、频率检测、边沿检测等。此外，宏单元能够组合这些功能：连接到Counter/Delay的LUT/DFF以及连接到LUT或DFF的Counter/Delay。

有关可以在这些单元中实现的功能，请参见下面的列表：

- 12x 可选择的 3-bit LUT/DFF + 8-bit Counter/Delay
- 4x 可选择的 4-bit LUT/DFF + 16-bit Counter/Delay

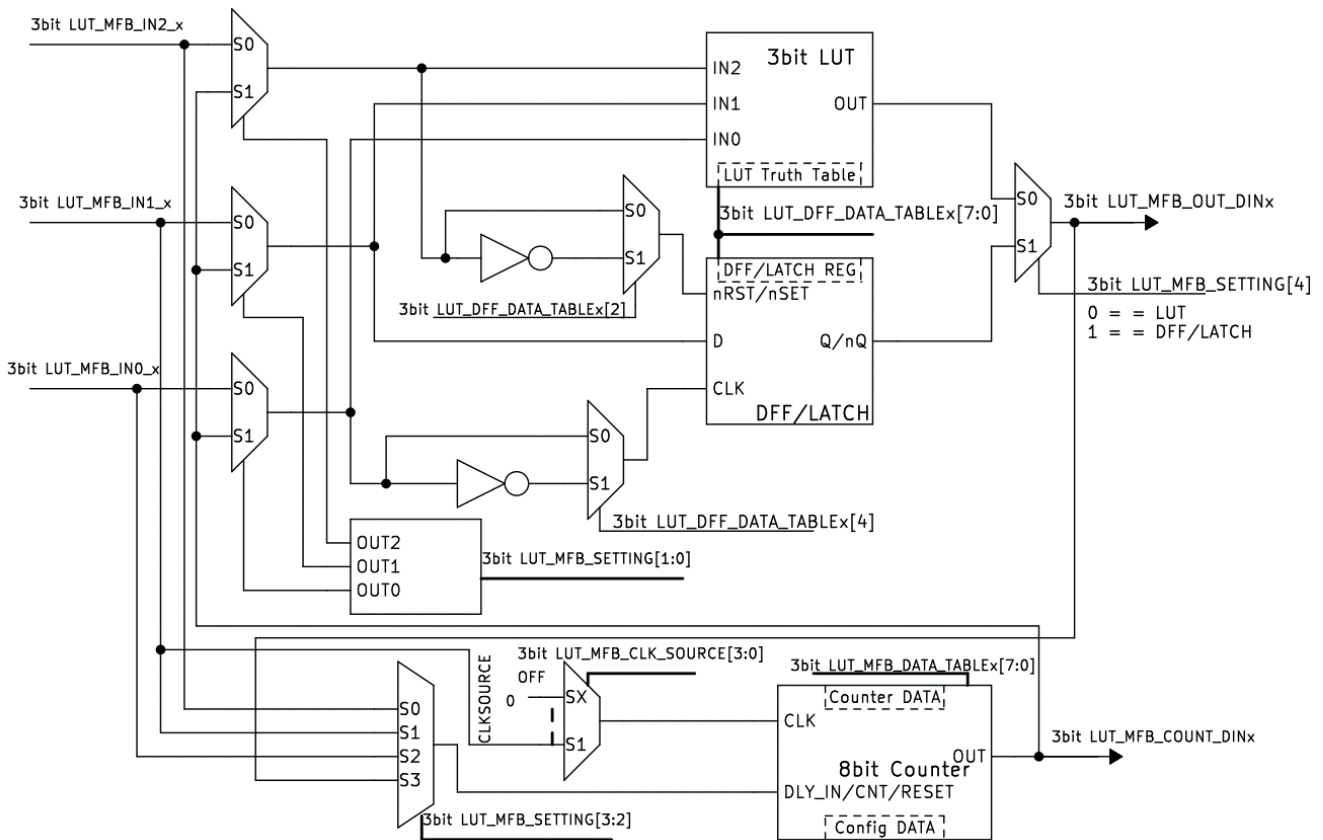


图 10: 3-bit LUT/DFF 或 8-bit Counter/Delay 电路图

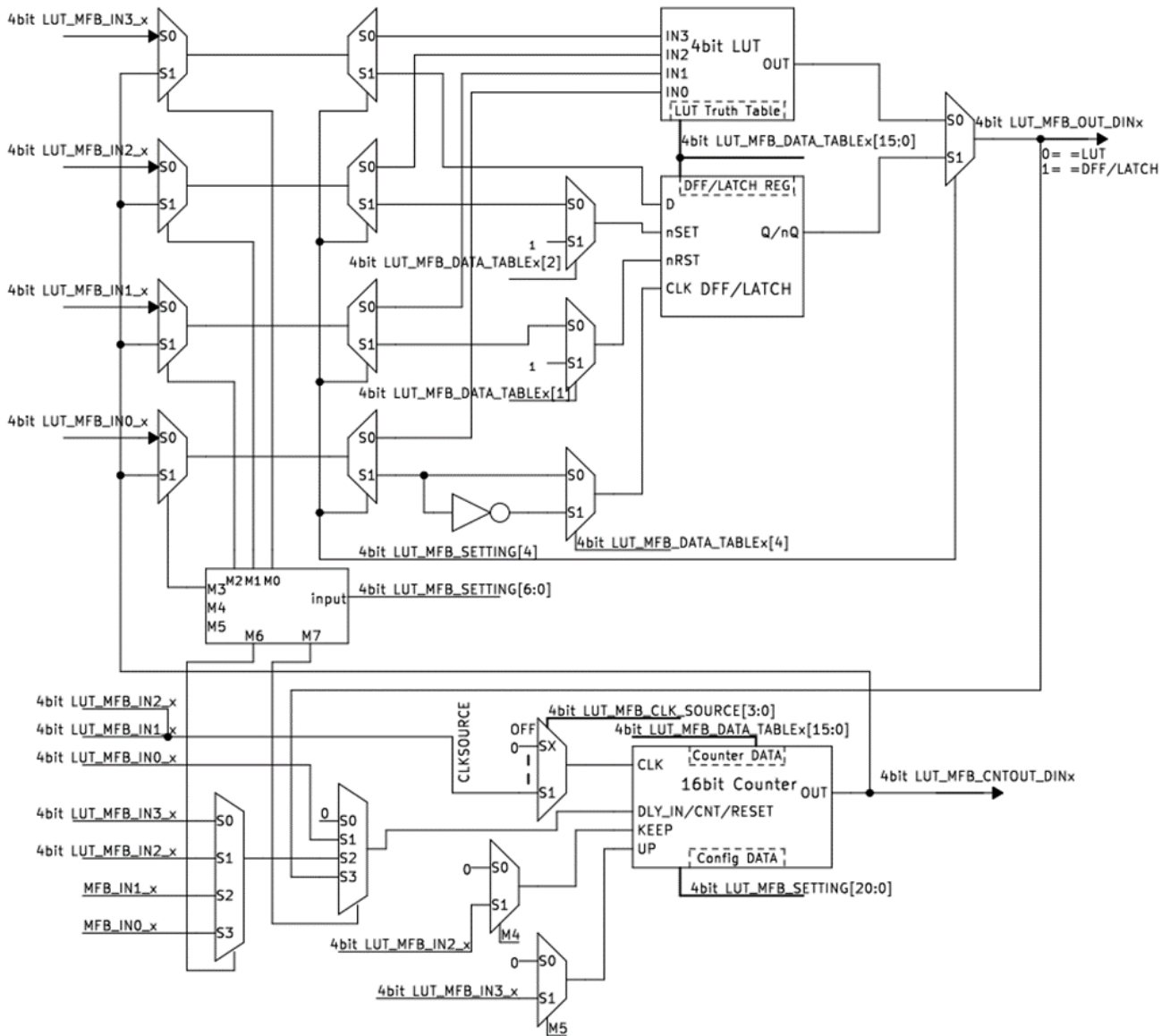


图 11: 4-bit LUT/DFF 或 16-bit Counter/Delay 电路图

8. I²C Virtual Memory Out 和 Pipe Delay

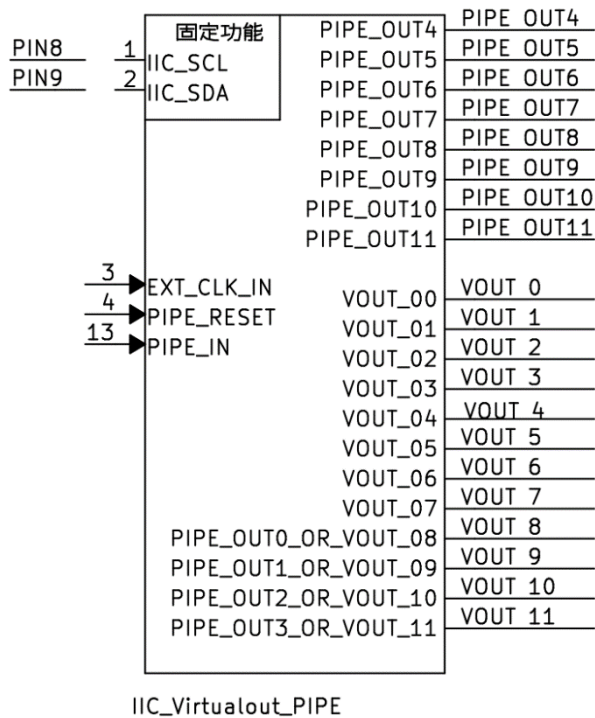


图 12: (a) I²C Virtual Memory Out 和 Pipe Delay 框图

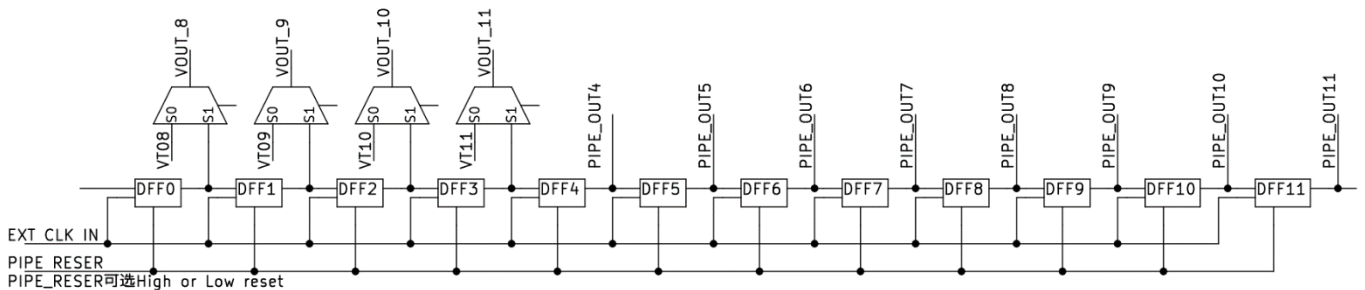


图 12: (b) I²C Virtual Memory Out 和 Pipe Delay 电路图

Legend:

Pipe-Reset 可选 High 或者 Low Reset

Pipe In 可以选择 DFF0-4 中的任意一个 Data In

这就是 1 个 virtual output 和 Pipe Delay 共享 8bit 输出

VT08-VT11 是 I²C Virtual Output 输出

其中前 4 个可以选择是 Virtual Output 还是 Pipe Output

9. I²C 通信接口

LS98006 提供 I²C 通信接口，允许 I²C master 去读或写内部寄存器，从而远程重新配置内部资源及其连接关系。

9.1 I²C 读取

9.1.1 当前地址读取指令

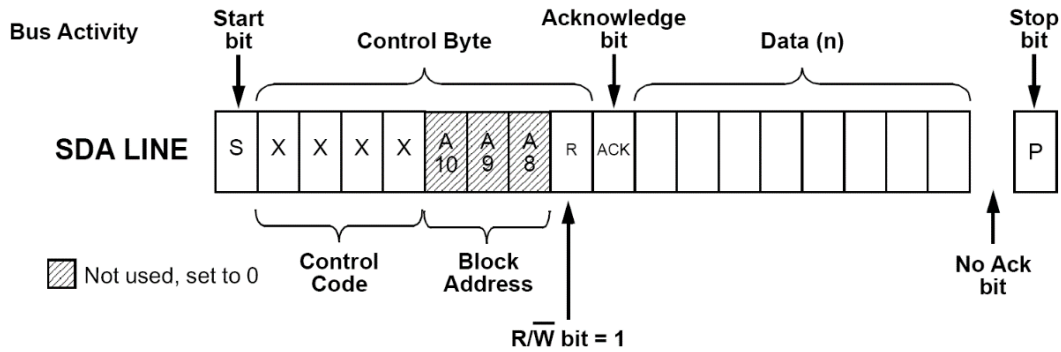


图 13: 当前地址读取指令

9.1.2 随机读取指令

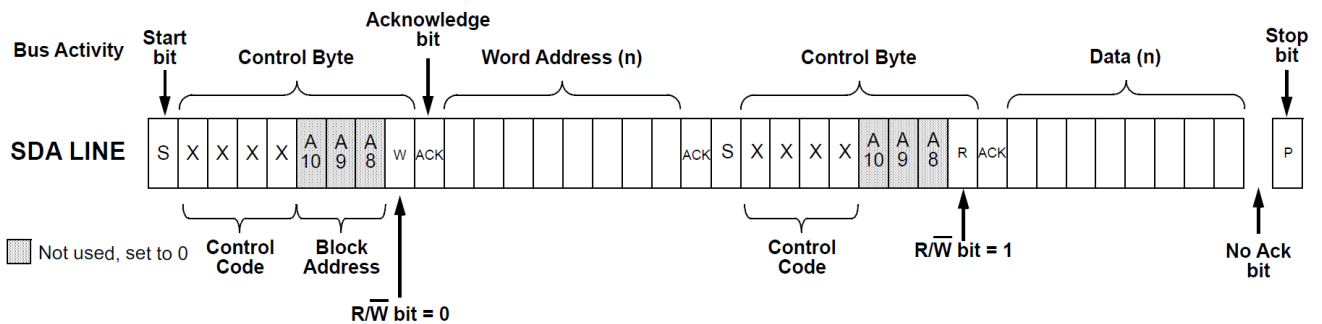


图 14: 随机读取指令

9.1.3 顺序读取指令

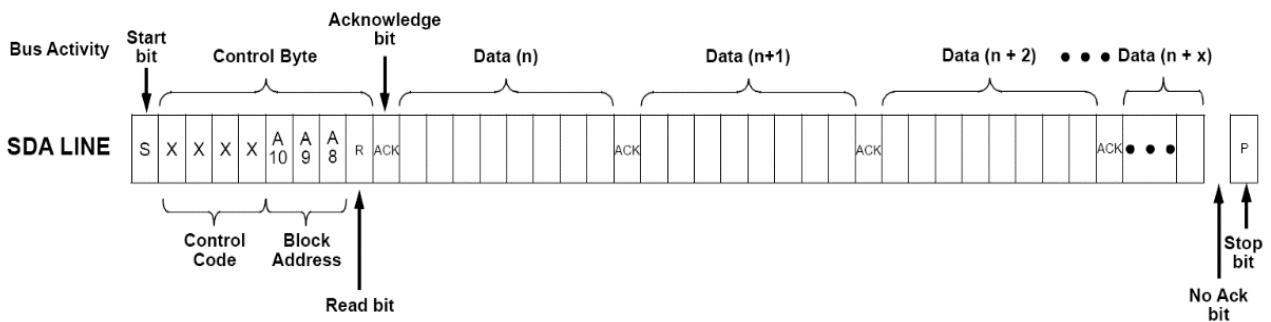


图 15: 顺序读取指令

9.2 I²C 写入

9.2.1 字节写入指令

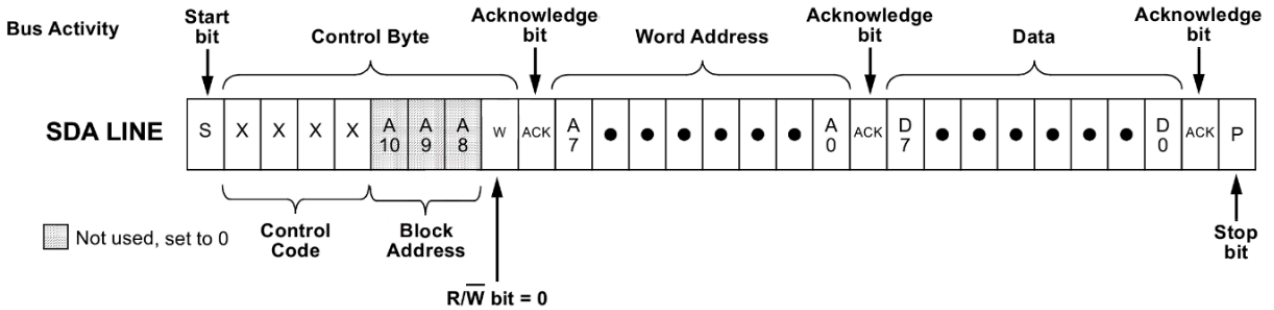


图 16: 字节写入指令

9.2.2 顺序写入指令

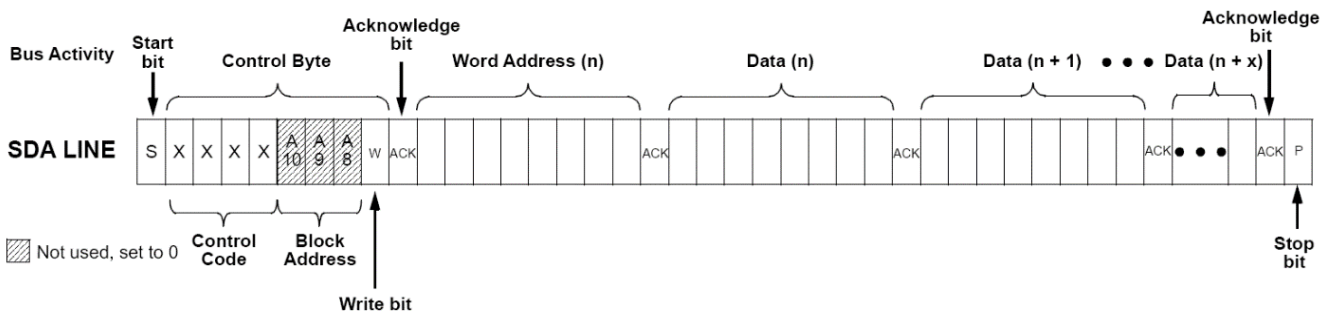


图 17: 顺序写入指令

9.3 I²C 时序图

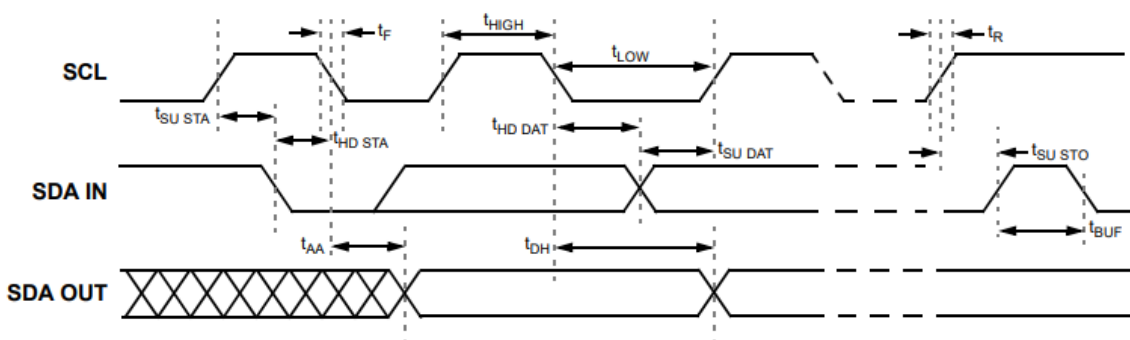


图 18: I²C 时序图

9.4 I²C 软件复位功能

如果与设备建立 I²C 串行通信，则可以将设备复位到初始上电条件，包括所有宏单元的配置和连接矩阵提供的所有连接。这是通过设置寄存器[2922]，I²C 复位为“1”来实现的，这导致设备重新启用 POR 序列，包括从 NVM 重新加载所有寄存器数据。在 POR 序列期间，设备的输出将处于三态，复位完成后，内容寄存器[2922]的值将自动设置为“0”。

10. 电压参考源 (Voltage Reference)

10.1 电压参考源概述

电压源输出模块，参考电压源来自于 8 bit DAC，然后接一个输出能力轨到轨的驱动放大器，放大倍数为 1X， 2X， 4X， 5X。

10.2 电压参考源公式

输出电压 $V=1V/256 * (D+1) * Gain$ (D:8 bit DAC's Data Gain:×1 ×2 ×4 ×5)

10.3 电压参考源系统框图

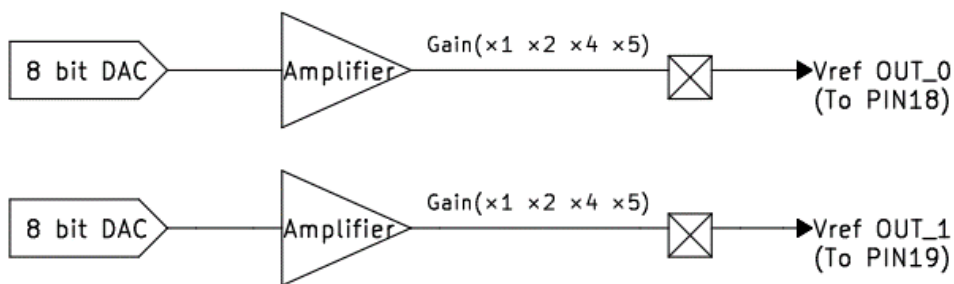


图 19: 电压参考源系统框图

11. 恒流源 (Current Source 最大 3mA)

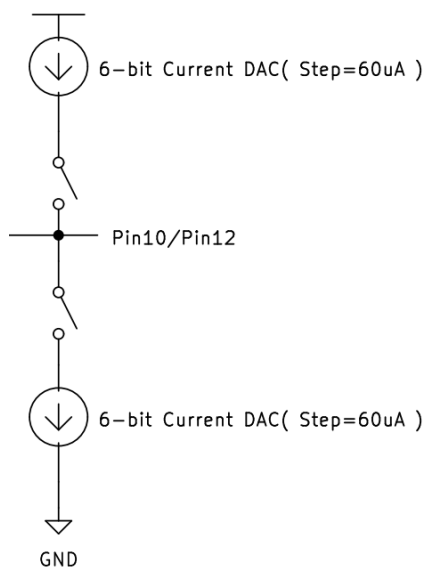


图 20: 恒流源电路图

12. 模拟比较器(ACMP)

12.1 多通道采样模拟比较器 (MACMP)

ACMP 的输入有 8 个通道，多通道功能使能后，多通道可以是 2/3/4 个通道可选，每个通道可选择 8 个输入通道的任意一个。

- Internal VREF: 8bit DAC ($=1V * 'DAC\ data+1' / 256$)

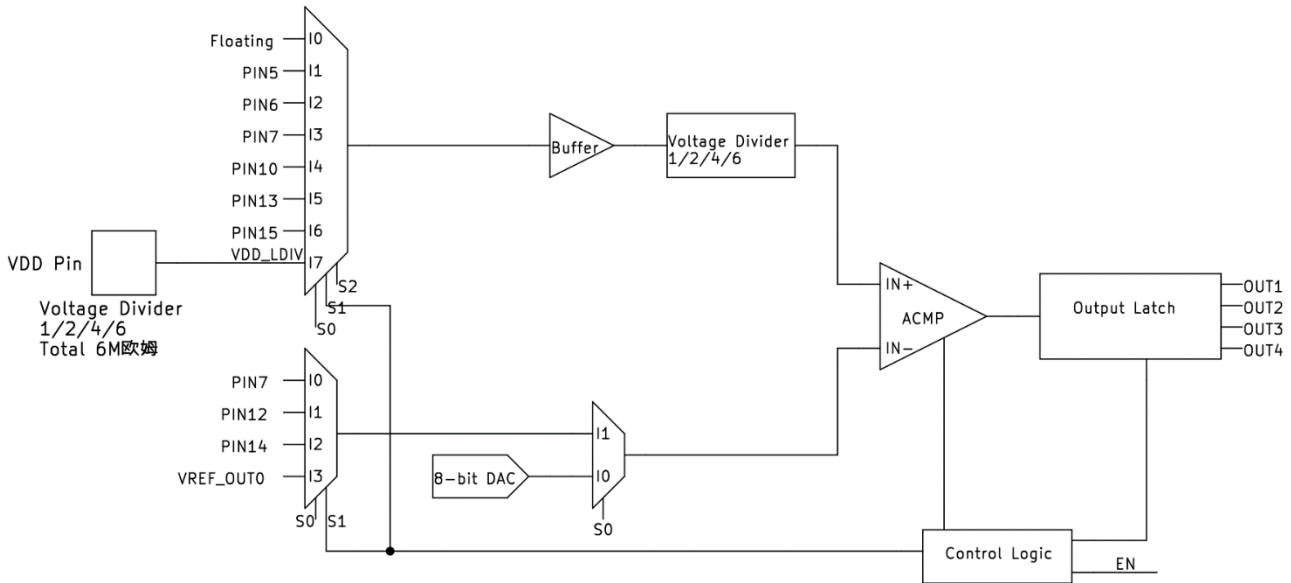


图 21: 多通道模拟比较器电路图

12.2 单通道模拟比较器 1 (ACMP1)

- Internal VREF: 8bit DAC ($=1V * 'DAC\ data+1' / 256$)

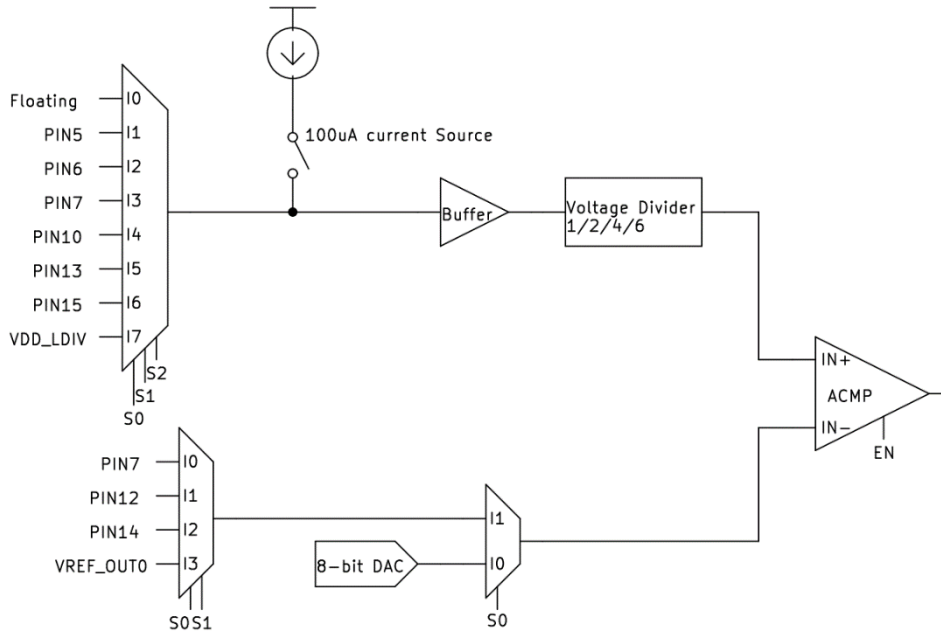


图 22: 单通道模拟比较器 1 电路图

12.3 单通道模拟比较器 2 (ACMP2)

- Internal VREF: 8bit DAC ($=1V * 'DAC\ data+1' / 256$)

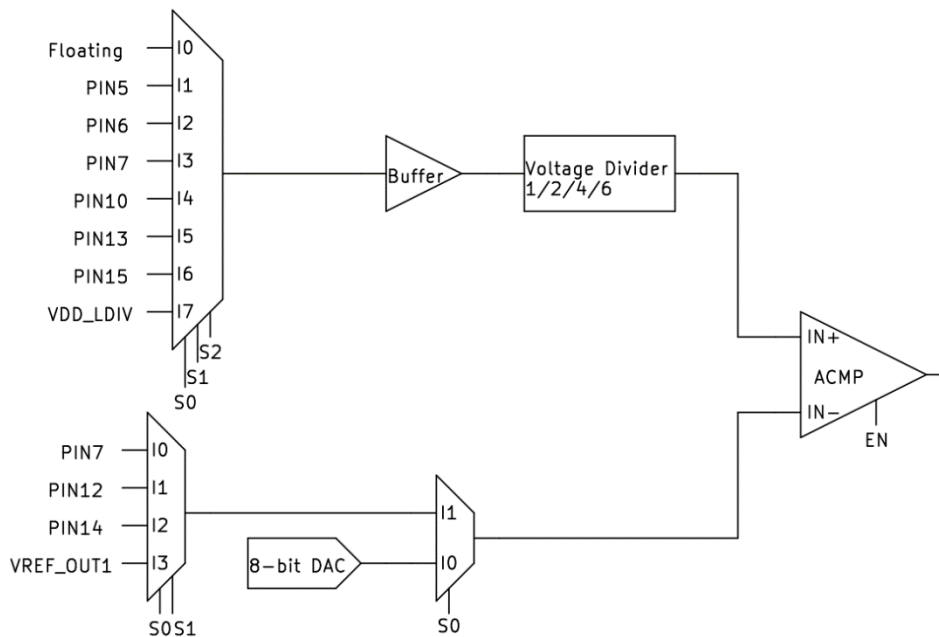


图 23: 单通道模拟比较器 2 电路图

13. 时钟方案

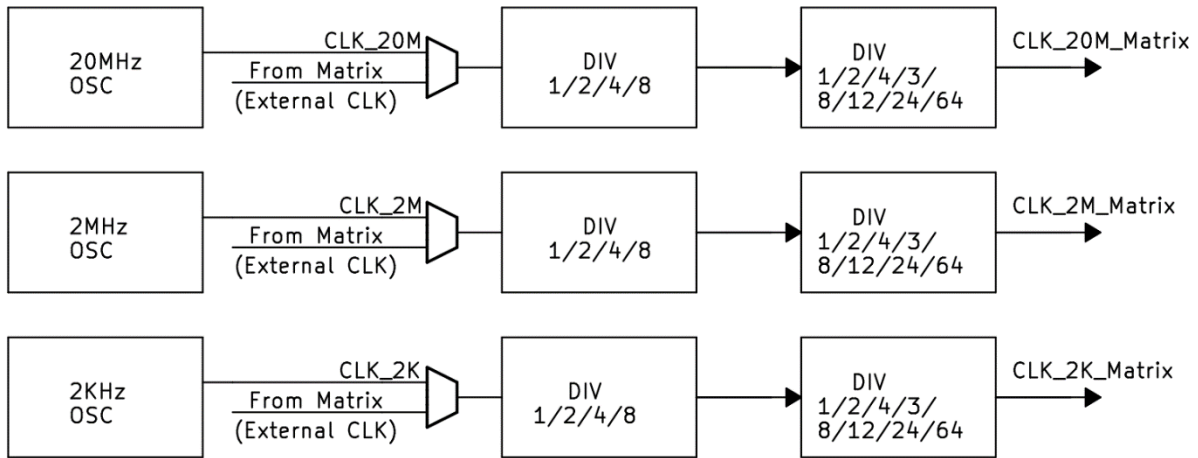


图 24: 时钟源

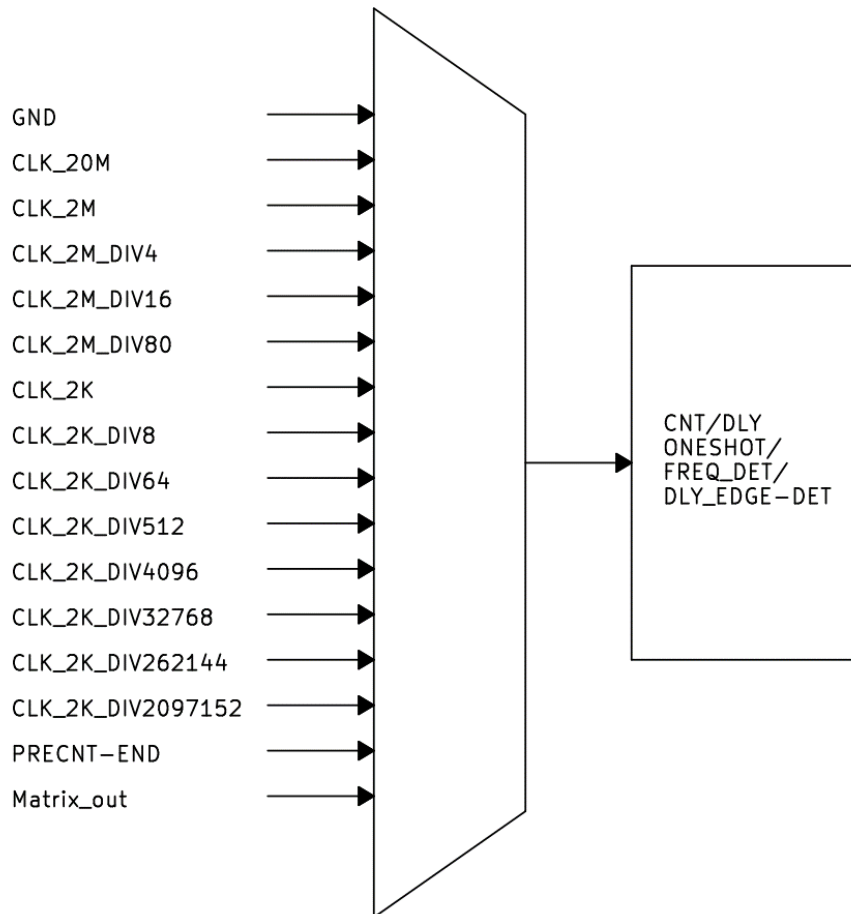


图 25: 时钟分配图

14. 外部时钟

LS98006 支持多种使用外部高精度时钟作为内部操作参考源的方式。

14.1 Matrix Source for 2KHz / 2MHz / 20MHz Clock

当外部时钟功能使能时，时钟来自于互联矩阵。

15. 晶体振荡器

晶体振荡器有三种工作模式，如图 26 所示，通过 reg 选择。

第一种工作模式：XTAL0 用于高速模式

第二种工作模式：XTAL1 用于低功耗（1uA）RTC

第三种工作模式：XTAL2 用于低功耗（1.5uA）RTC

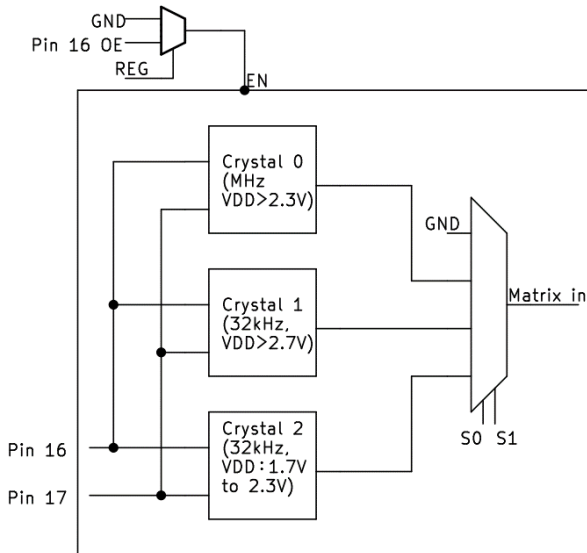


图 26: 晶体振荡器模块图

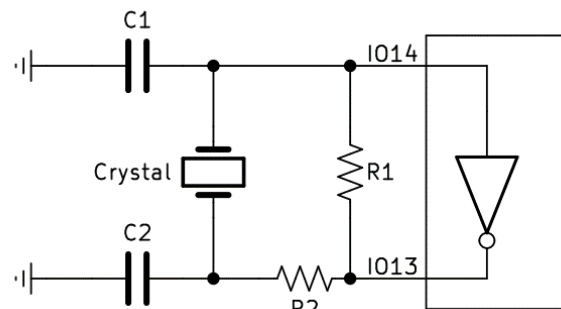


图 27: 晶体振荡器电路图

表 10 : External Components Selection Table

f	C1	C2	R1	R2
32.768kHz	5pF	5pF	10MΩ	100Ω
4-40MHz	10pF	10pF	1MΩ	100Ω

注释：在 32.768kHz 时，电阻 R1 为 8 MΩ ~20 MΩ；同时保证 RC 乘积为定值（10 MΩ*5pF）

16. 代码保护功能

LS98006 提供给客户一种代码保护功能，当保护位 bit[2924] 被 program 成“1”之后所有芯片功能相关的代码可以被锁定，无法被读出，有效保护客户的设计信息。

17. POR 序列

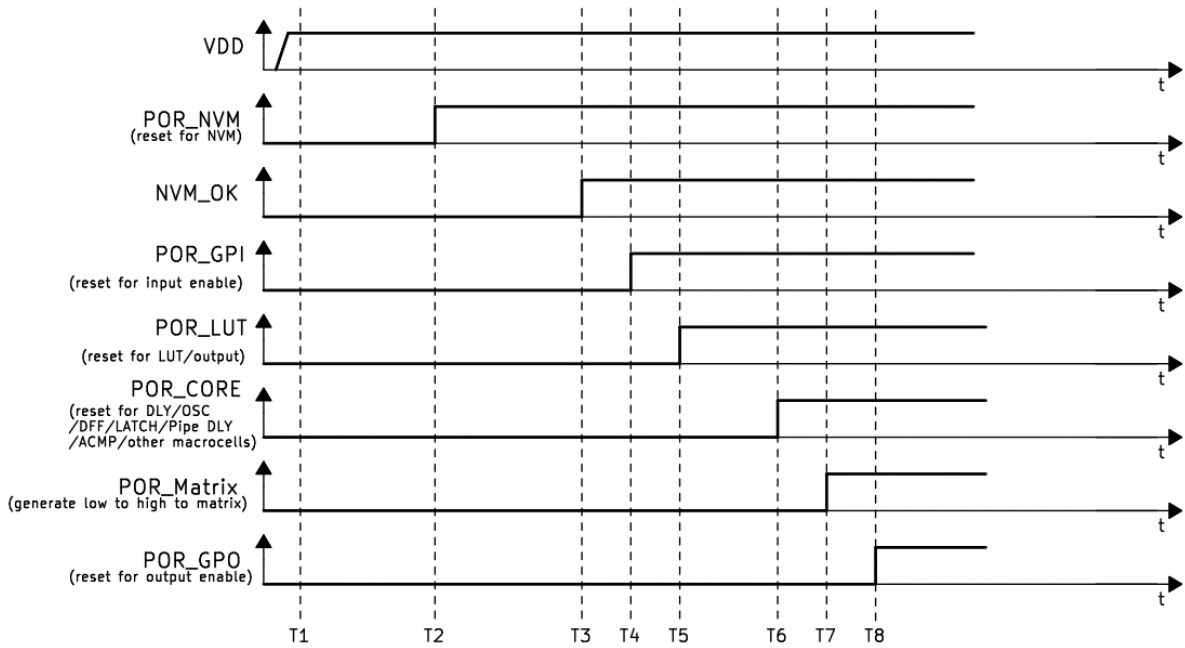


图 28: POR 序列图

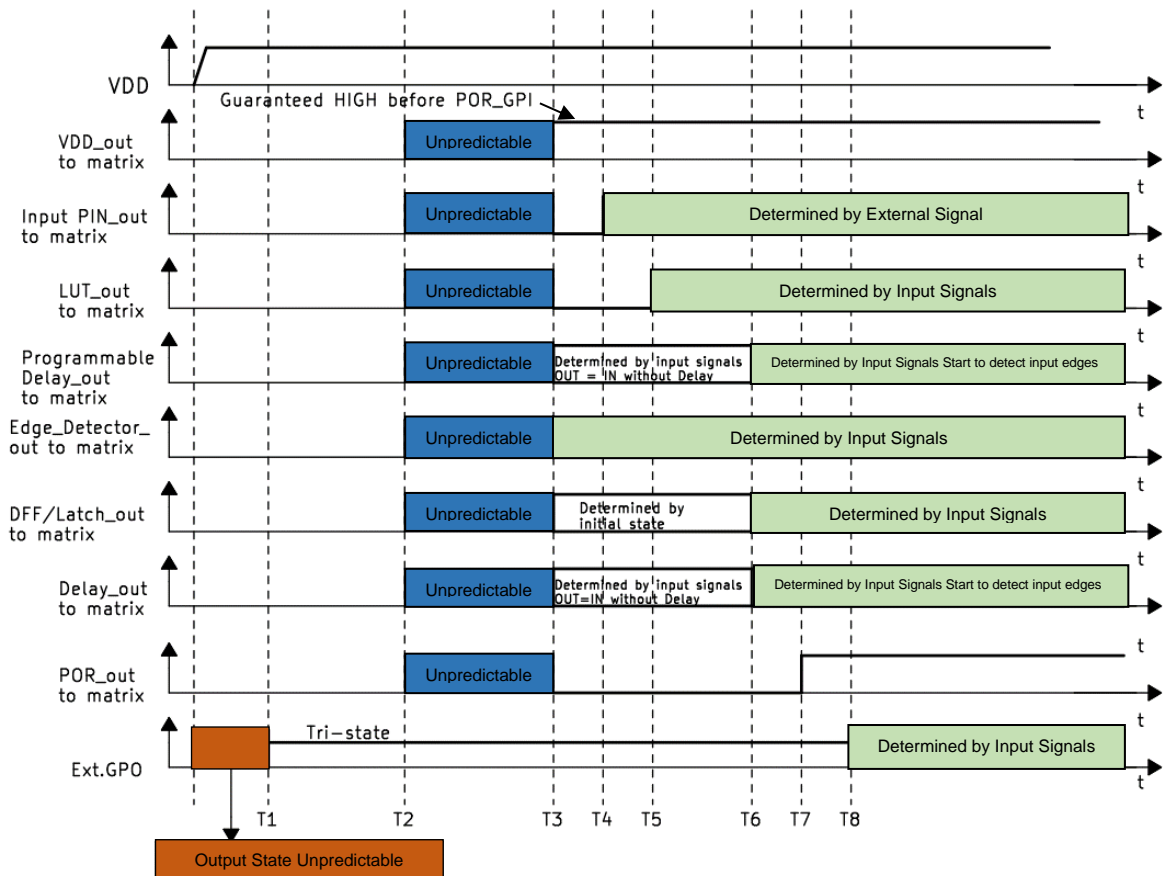


图 29: Internal Macrocell States during POR sequence

注：图 28 和图 29 的 T1-T8 一一对应。

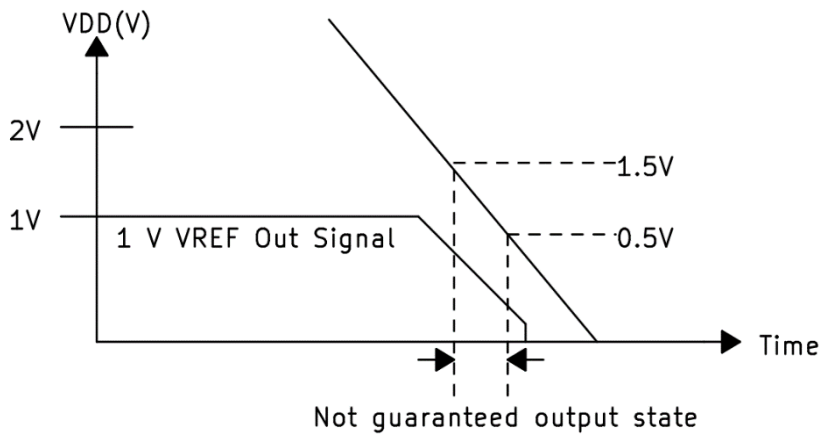


图 30: Power Down

在掉电过程中，当 VDD 下降到 Power off Threshold 以下时，LS98006 中的所有模块将被关闭，请注意在缓慢降频期间，输出可能在此期间切换状态。

18. Virtual Memory

18.1 Virtual Memory Input

I²C 可以把 register bit [2851:2840] 写入矩阵的 input <75:64>。

18.2 Virtual Memory Output

I²C 可以通过 register [2887:2872] 读出内部节点的输出，以下是相关配置信息：

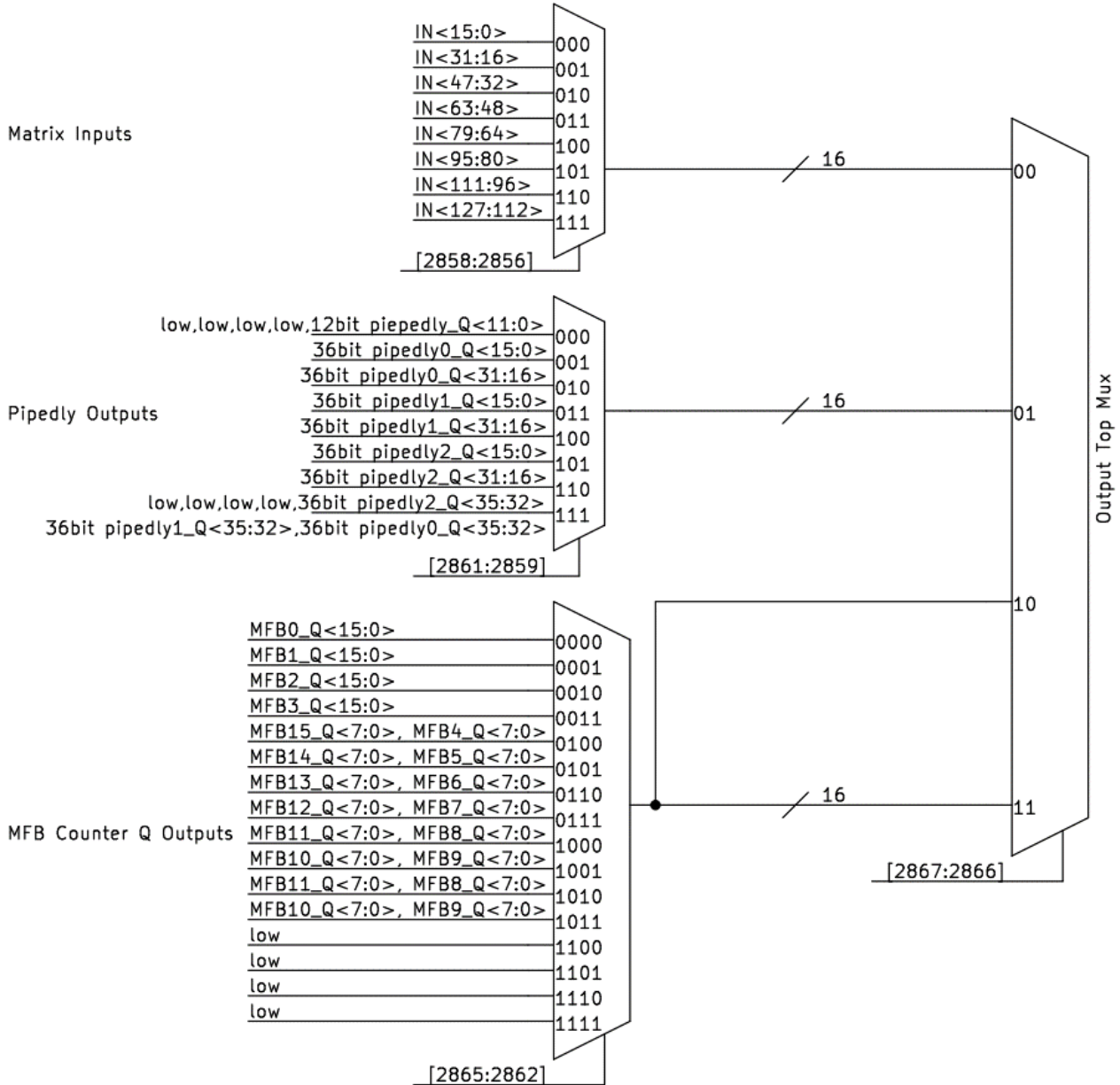
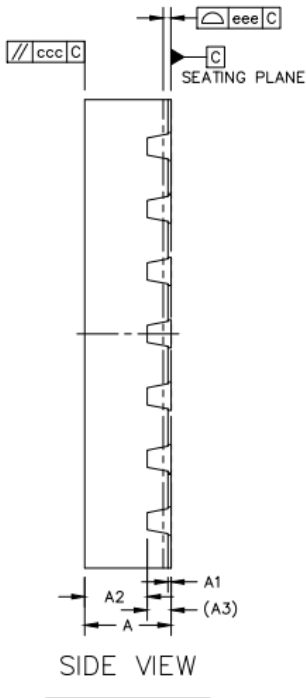
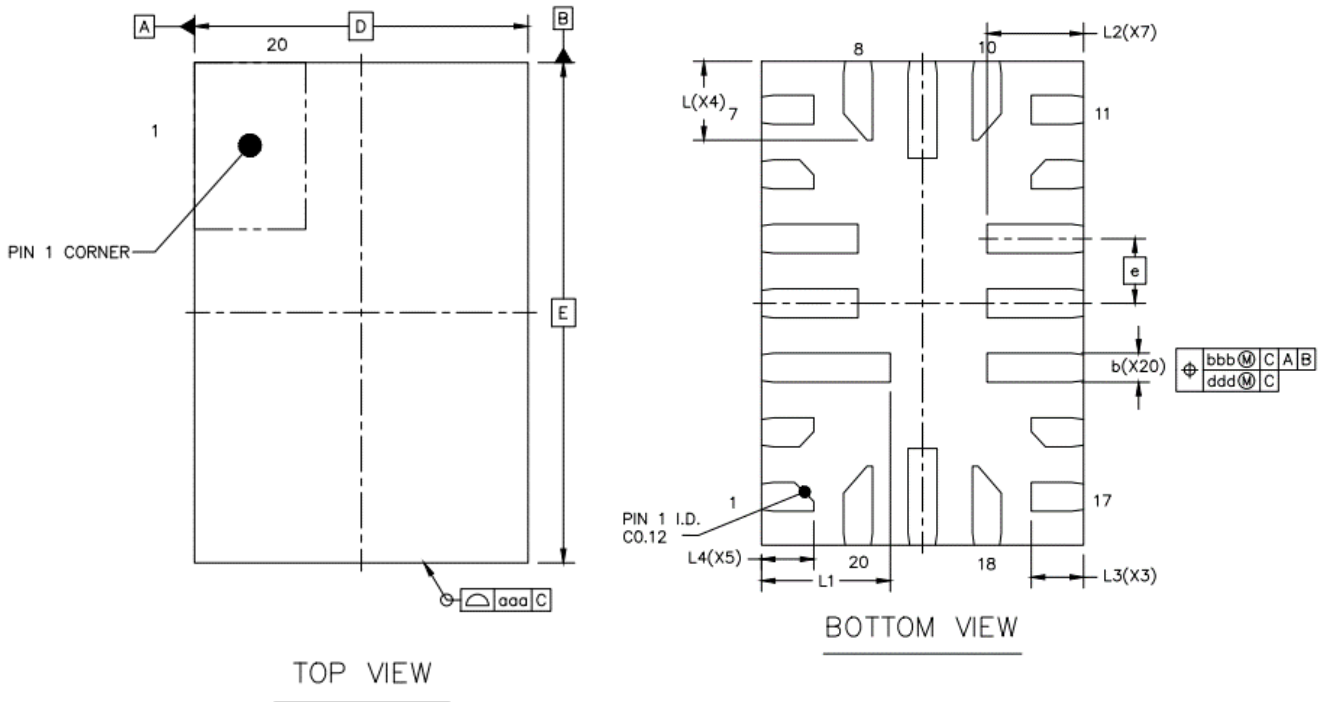


图 31: Virtual Memory Out

19. 封装信息



		SYMBOL	MIN	NOM	MAX
TOTAL THICKNESS		A	0.5	0.55	0.6
STAND OFF		A1	0	0.02	0.05
MOLD THICKNESS		A2	---	0.4	---
L/F THICKNESS		A3	0.152 REF		
LEAD WIDTH		b	0.13	0.18	0.23
BODY SIZE	X	D	2 BSC		
	Y	E	3 BSC		
LEAD PITCH		e	0.4 BSC		
LEAD LENGTH	L		0.389	0.489	0.589
	L1		0.75	0.8	0.85
	L2		0.55	0.6	0.65
	L3		0.275	0.325	0.375
PACKAGE EDGE TOLERANCE		aaa	0.1		
MOLD FLATNESS		ccc	0.1		
COPLANARITY		eee	0.05		
LEAD OFFSET	bbb		0.07		
	ddd		0.05		

Notes.

- 1.Refer To JEDEC MO-220;
- 2.Coplanarity Applies To Leads, Corner Leads And Die Attach Pad;
- 3.Finish: Cu/EP-Sn.

图 32: 封装轮廓信息

20. 订购信息

20.1 载带和卷盘规格 (Tape and Reel Specifications)

表 11: Package Type

Package Type	Num of Pins	Package Size [mm]	Units/package		Reel & Hub Size [mm]	Leader (min)		Trailer (min)		Tape Width [mm]	Part Pitch [mm]
			SPQ	1 Box		Pockets	Length [mm]	Pockets	Length [mm]		
TQFN-20L 2.0×3.0mm	20	2.0×3.0×0.55	3000	3000	178/54	30	120	140	560	8	4

20.2 载带图与尺寸 (Carrier Tape Drawing and Dimensions)

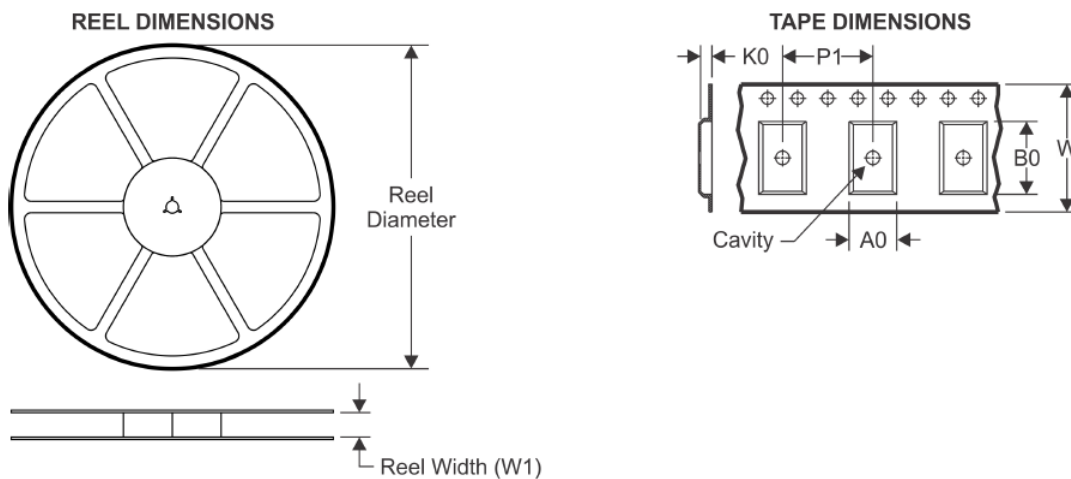


图 33: 载带尺寸图

表 12: 载带尺寸规格

A0	Dimension designed to accommodate the component width	2.30mm
B0	Dimension designed to accommodate the component length	3.30mm
K0	Dimension designed to accommodate the component thickness	0.75mm
W	Overall width of the carrier tape	8.00mm
W1	Reel Width	9.50mm
P0	Pitch between Index Hole Pitch	4.00mm
P1	Pitch between successive cavity centers	4.00mm

21. 修订历史

表 13: 修订历史

版本	修改内容	修改人	日期
R01	初始版本	钱如	2023.02.23
R02	1.系统框图部分美观度调整 (P6) 2. 添加 Datasheet 中出现的缩写所对应的全称 (P2-P3) 3.Electrical Characteristics Table 的 ACMP 模块, 针对 Voffset 参数说明进行修改(P11、P13、P15)。 4.PGEN 的描述以及电路图修改, 只有 nRST 接口 (P19) 5.图 15 中: D 引脚接 IN1,nRST/nSET 接 IN2; 图 16 中: IN2 接 nSET,IN1 接 nRST (P23) 6.对多通道 ACMP 部分添加描述(P28) 7.改动 POR 部分的图, 图 51 与图 52 的 T1-T8 一一对应(P32)	钱如	2023.03.10
	8.更改 P27 中 10.2 中节输出电压的公式中 D 为 D+1 (D 为 DAC) 9.删除 I ² C 对应的参数表, 因速度达不到, Designer 建议删除	钱如	2023.03.17
R03	1.修改术语词汇(Glossary)部分 (P2-P3) 2.更正图 1: 系统框图的组合逻辑单元中 3-bit LUT /DFF_PIPEDLY 的顺序名称(P6) 3.更新 7.3.7 节中图 27 至图 31	钱如	2023.03.21
	1.更新 3.4 节电特性表格中 Oscillators 模块 20MHz 下 Power Consumption25°C 的 Typical 值以及 Vref Out Characteristics 模块的 Power Consumption 值 2.添加 I ² C 的参数表格, 区分 1.8V±5%与 2.3~5.5V 两个表格, 命名为表 8, 表 9 (P16)	钱如	2023.03.27
	将封装类型名称 STQFN 更改为 TQFN (ST:Super thickness)	钱如	2023.03.28
R04	更新封装 POD 图以及订购信息(P35-P36)	钱如	2023.04.7
	7.3.7 节中添加关于 Counter 模式下 High Level Reset 模式的 4 张图(P36)	钱如	2023.04.14
	载带图带宽 (W) 采用 8mm 的(P36)	钱如	2023.04.19
	GPIO PINS 图部分优化电路(P18), ACMP 的 PROP 参数条件 vref 由 1.024V 改为 1V (P11、P13、P15)	钱如	2023.04.19
R05	3.4 节参数部分细节改动 (P9-P15)	钱如	2023.06.07
R06	3.4 节参数内容进行部分更新 (P9-P15)	钱如	2023.06.08
R07	表 7 的 I _{OL} 条件 Open Drain, V _{OL} = 0.4V, 4X Drive 修改(P14)	钱如	2023.06.12
R08	1.调整 3.3 节以及 3.4 节表格格式 (P9-P15), 2.表 5-表 7 电参数 POR _{THR} 的 Parameter 描述修改, 以及关于 RPUP 和 RPDWN 参数的范围值更新 (仅保留 Typ 值)	钱如	2023.06.28
R09	1.删除图 26 第三种工作模式 XTAL2 (不可用) 2.对图 19 中 Vref_out0 与 Vref_out1 进行输出 PIN 脚标识 (P27)	钱如	2023.12.06
R10	对于图 2 的 Top View 图中引脚名称标注进行优化 (P7) 并将后文出现的 PIN 描述同步更新名称	钱如	2023.12.20
R11	1.更新图 26, 添加 Crystal 2 工作模式, 表 14 'C1、C2' 由 '1pF' 改为 '5pF', 添加注释内容 (P31) 2.更新图 29 为彩色标注 (P32)	钱如	2024.03.15