

产品介绍

LS98003 是通用可配置的数字逻辑芯片，有体积小、超低功耗和高可靠性等特点。客户可以根据自己的功能需求设计芯片，配置 LS98003 内部的模拟和逻辑功能模块的连接并把设计烧录到内部的 NVM（Non-Volatile Memory）。内部功能模块如下：

- 7x 组合逻辑单元
 - ◆ 2x 2-bit LUT/DFF
 - ◆ 1x 2-bit LUT/Pattern Generator
 - ◆ 2x 2-bit LUT/Edge Detector
 - ◆ 1x 4-bit LUT/DFF
 - ◆ 1x 3-bit LUT/Pipe Delay
- 8x 多功能模块
 - ◆ 7x 可选的 3-bit LUT/DFF + 8-bit Counter/Delay
 - ◆ 1x 可选的 4-bit LUT/DFF + 16-bit Counter/Delay
- I²C 通讯接口
- 2x 内部时钟振荡器
 - ◆ 1x 2MHz 时钟振荡器
 - ◆ 1x 20Khz 时钟振荡器
- 上电复位
- 读保护功能
- 工作电压范围: 1.71V~5.5V
- 工作温度范围: -40℃ ~ 85℃
- RoHS Compliant/Halogen-Free
- 封装: TQFN-8L: 1.3mm x 1.3mm x 0.55mm, 0.4mm pitch
DFN-8L: 2.0mm x 2.0mm x 0.75mm, 0.5mm pitch

应用

- 消费电子
- 数据通信设备
- TWS 耳机、One Wire 通信辅助。
- 载波单线通信
- IO 扩展器

Glossary

C

- CLK: Clock
- CNT: Counter

D

- DFF: D Flip-Flop
- DLY: Delay

E

- ESD: Electrostatic discharge

F

- FSM: Finite State Machine

G

- GPI: General Purpose Input
- GPIO: General Purpose Input/Output
- GPO: General Purpose Output

I

- IN: Input
- IO: Input/Output

L

- LSB: Least Significant Bit
- LUT: Look-Up Table
- LV: Low Voltage

M

- MSB: Most Significant Bit
- MUX: Multiplexer
- MFB: Multi-Function Block

N

- nRST: Reset
- NVM: Non-Volatile Memory

O

- OE: Output Enable
- OSC: Oscillator
- OUT: Output

P

- PDWM: Power-down
- PGen: Pattern Generator
- POR: Power-On Reset
- PP: Push-Pull
- PDLY: Programmable Delay

S

- SCL: I²C Clock Input
- SDA: I²C Data Input/Output
- SLA: Slave Address
- SMT: With Schmitt Trigger

V

- VREF: Voltage Reference

W

- WOSMT: Without Schmitt Trigger

目录

产品介绍	1
应用	1
Glossary	2
1. 系统框图	6
2. 引脚定义	7
2.1 TQFN-8L 的引脚配置	7
2.2 DFN-8L 的引脚配置	8
3. 基本电器指标	9
3.1 极限指标	9
3.2 建议工作环境目标	9
3.3 静电放电额定值	9
3.4 电气特性	10
4. 输入输出引脚	14
4.1 通用输入引脚	14
4.2 通用输入输出引脚	15
5. 互联矩阵	16
6. 组合逻辑功能单元	16
6.1 2-bit LUT/DFF 单元	16
6.2 2-bit LUT/Pattern Generator 单元	17
6.3 2-bit LUT/Edge Detector 的单元	17
6.4 3-bit LUT/Pipe Delay 的单元	18
6.5 4-bit LUT/DFF with nRST/nSET 的单元	18
7. 多功能模块（MFB）	19
7.1 3-bit LUT/DFF 或 8-bit Counter/Delay	19
7.2 4-bit LUT/DFF 或 16-bit Counter/Delay	20
8. I ² C 通信接口	21
8.1 I ² C 读取	21
8.1.1 当前地址读取指令	21
8.1.2 随机读取指令	21
8.1.3 顺序读取指令	21
8.2 I ² C 写入	22
8.2.1 字节写入指令	22
8.2.2 顺序写入指令	22
8.3 I ² C 时序图	22
8.4 I ² C 软件复位功能	22
9. 时钟方案	23
10. 外部时钟	24
10.1 Matrix Source for 20KHz/2MHz Clock	24
11. 代码保护功能	24
12. POR	24

12.1 Power Down	24
12.2 POR 序列.....	25
13. Virtual Memory	26
13.1 Virtual Memory Input.....	26
13.2 Virtual Memory Output	26
14. 封装信息	27
14.1 TQFN-8L:1.3×1.3×0.55mm 0.4mm pitch(LS98003-A)	27
14.2 DFN-8L:2×2×0.75mm 0.5mm pitch(LS98003-D).....	28
15. 订购信息	29
15.1 载带和卷盘规格（LS98003-A）	29
15.2 载带图与尺寸（LS98003-A）	29
15.3 载带和卷盘规格（LS98003-D）	30
15.4 载带图与尺寸（LS98003-D）	30
16. Recommended Reflow Soldering Profile	31
16.1 Recommended Land Pattern（LS98003-A）	31
16.2 Recommended Land Pattern（LS98003-D）	31
17. 修订历史	32

1. 系统框图

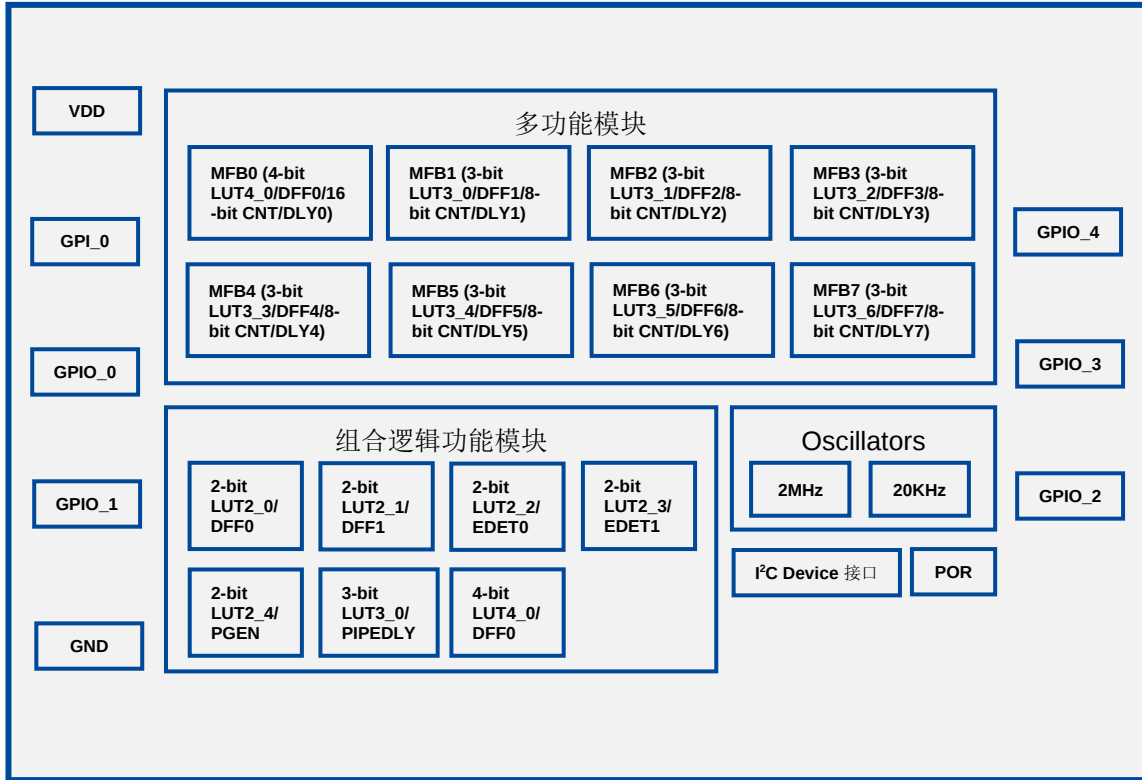


图 1: 系统框图

2. 引脚定义

2.1 TQFN-8L 的引脚配置

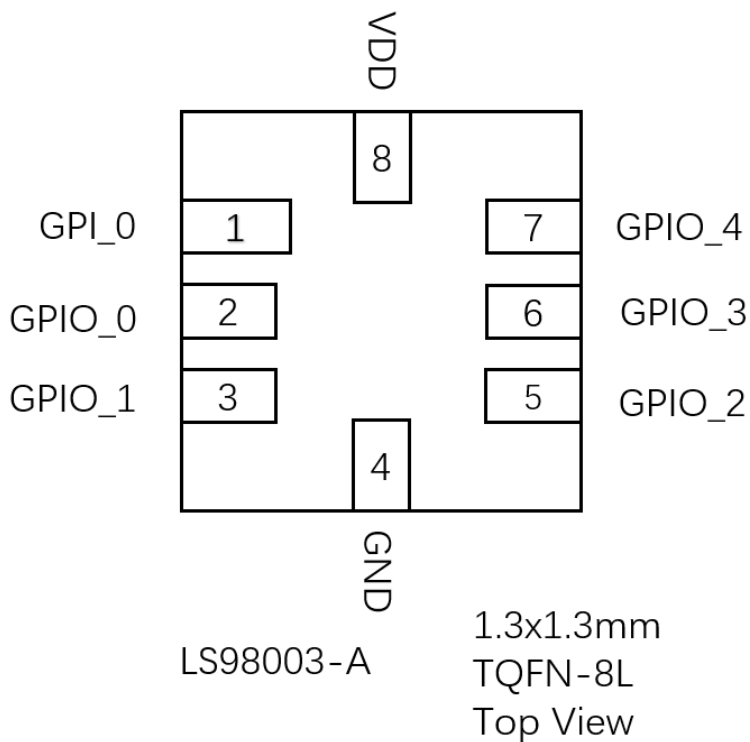
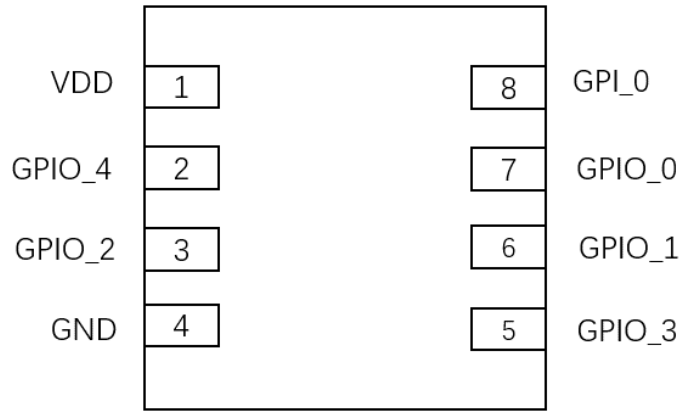


图 2: TQFN-8L (Top View)

表 1: LS98003-A PIN Description

PIN#(A)	Name	Function
8	VDD	Power
1	GPI_0	GPI,VPP(program Power)
2	GPIO_0	GPIO,I ² C SCL.支持最高 5.5V (可高于 VCC)
3	GPIO_1	GPIO,I ² C SDA.
4	GND	Power GND
5	GPIO_2	GPIO with OE,支持 OD,Push Pull
6	GPIO_3	GPIO with OE,支持 OD,Push Pull
7	GPIO_4	GPIO with OE,支持 OD,Push Pull

2.2 DFN-8L 的引脚配置



LS98003-D 2.0x2.0mm
DFN-8L
Top View

图 3: DFN-8L (Top View)

表 2: LS98003-D PIN Description

PIN#(D)	Name	Function
1	VDD	Power
2	GPIO_4	GPIO 带有 OE 控制
3	GPIO_2	GPIO 带有 OE 控制
4	GND	Ground
5	GPIO_3	GPIO 带有 OE 控制
6	GPIO_1	GPIO,I ² C SDA
7	GPIO_0	GPIO,I ² C SCL
8	GPI_0	GPI,VPP(program Power)

3. 基本电器指标

3.1 极限指标

超过绝对最大额定值可能会对设备造成永久性损坏，设备在任何条件下的功能运行中不能超出了下表所示的限定值，因为长期暴露于绝对最大额定值条件可能会影响设备可靠性。模拟和数字接地必须在 PCB 板上连接在一起，对于 LS98003 数字电流较低的应用场合,GND 应连接到模拟接地平面。

表 3：极限指标

参数	最小	最大	单位
VDD 到地	-0.3	7	V
IO 最高电压	-0.3	7	V
VDD 到 GND 最大直流电流	--	90	mA
输入漏电流	--	1000	nA
存储温度	-65	150	°C
Junction 温度	--	150	°C
湿敏等级 MSL	1		--

3.2 建议工作环境目标

表 4：建议工作环境目标

参数	最小	最大	单位
VDD 电源电压	1.71	5.5	V
工作温度	-40	85	°C
输入到 Pin 的最大电压	-0.2	VDD+0.3 5.5V PIN3	V
VDD 退耦电容	0.1	--	uF

3.3 静电放电额定值

表 5：静电放电额定值

参数	最小	最大	单位
ESD 保护 (Charged Device Model)	500	--	V
ESD 保护 (Human Body Model)	2000	--	V

3.4 电气特性

表 6: Electrical Characteristics (VDD: 1.8V±5%, Temp: -40~85°C)

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
POR						
PON _{THR}	Power On Threshold	VDD Level Required to Start Up the Chip	1.3	1.43	1.6	V
POFF _{THR}	Power Off Threshold	VDD Level Required to Switch Off the Chip	0.55	1.03	1.35	V
T _{SU}	Startup Time	From VDD rising past PON _{THR}	--	0.8	--	ms
I _{stand_by}		T=+25 °C	--	50	--	nA
IO PIN						
V _{IH}	HIGH-Level Input Voltage	Logic Input	0.7*VDD	--	--	V
		Logic Input with Schmitt Trigger	0.8*VDD	--	--	V
		Low-Level Logic Input	0.83	--	--	V
V _{IL}	LOW-Level Input Voltage	Logic Input	--	--	0.3*VDD	V
		Logic Input with Schmitt Trigger	--	--	0.2*VDD	V
		Low-Level Logic Input	--	--	0.46	V
V _{HYS}	Schmitt Trigger Hysteresis Voltage	Logic Input with Schmitt Trigger	--	0.42	--	V
I _{LKG}	Input leakage (Absolute Value)	--	--	1	1000	nA
V _{OH}	HIGH-Level Output Voltage	Push-Pull, I _{OH} = 100 μA, 1X Drive	1.69	--	--	V
		Push-Pull, I _{OH} = 100 μA, 2X Drive	1.70	--	--	V
V _{OL}	LOW-Level Output Voltage	Push-Pull, I _{OL} = 100 μA, 1X Drive	--	--	0.012	V
		Push-Pull, I _{OL} = 100 μA, 2X Drive	--	--	0.006	V
		Open Drain, I _{OL} = 100 μA, 1X Drive	--	--	0.004	V
		Open Drain, I _{OL} = 100 μA, 2X Drive	--	--	0.002	V
I _{OH}	HIGH-Level Output Pulse Current (see Note)	Push-Pull, V _{OH} = VDD - 0.2, 1X Drive	0.81	--		mA
		Push-Pull, V _{OH} = VDD - 0.2, 2X Drive	1.6	--		mA
I _{OL}	LOW-Level Output Pulse Current (see Note)	Push-Pull, V _{OL} = 0.15 V, 1X Drive	1.1	--		mA
		Push-Pull, V _{OL} = 0.15 V, 2X Drive	2.1	--	--	mA
		Open Drain, V _{OL} = 0.15 V, 1X Drive	3.2	--	--	mA
		Open Drain, V _{OL} = 0.15 V, 2X Drive	6.3	--	--	mA
R _{PUP}	Pull Up Resistance	1 M Pull Up	--	1	--	MΩ
		100 k Pull Up	--	100	--	KΩ
		10 k Pull Up	--	10	--	KΩ
R _{PDWN}	Pull Down Resistance	1 M Pull Down	--	1	--	MΩ
		100 k Pull Down	--	100	--	KΩ
		10 k Pull Down	--	10	--	KΩ
Oscillators						
Power-On time	2MHz OSC	T=+25 °C	--	1.5	--	uS
Freq _{Accuracy}		T=+25 °C	--	2	--	MHz
		T=-40 °C to +85 °C	1.88	--	2.12	MHz
Power Consumption		T=+25 °C	--	23	--	uA
	T=-40 °C to +85 °C	--	--	30	uA	
Power-On time	20KHz OSC	T=+25 °C	--	60	--	uS
Freq _{Accuracy}		T=+25 °C	--	20.5	--	KHz
		T=-40 °C to +85 °C	19.27	--	21.73	KHz
Power Consumption		T=+25 °C	--	2.4	--	uA
	T=-40 °C to +85 °C	--	--	3.4	uA	
Note: DC or average current through any pin should not exceed value given in Absolute Maximum Conditions.						

Note: DC or average current through any pin should not exceed value given in Absolute Maximum Conditions.

表 7: Electrical Characteristics (VDD: 3.3V±10%, Temp: -40~85°C)

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
POR						
PON _{THR}	Power On Threshold	VDD Level Required to Start Up the Chip	1.67	1.80	1.92	V
POFF _{THR}	Power Off Threshold	VDD Level Required to Switch Off the Chip	0.95	1.25	1.54	V
T _{SU}	Startup Time	From VDD rising past PON _{THR}	--	1.20	--	ms
I _{stand_by}		T=+25 °C	--	97	--	nA
IO PIN						
V _{IH}	HIGH-Level Input Voltage	Logic Input	0.7*VDD	--	--	V
		Logic Input with Schmitt Trigger	0.8*VDD	--	--	V
		Low-Level Logic Input	0.92	--	--	V
V _{IL}	LOW-Level Input Voltage	Logic Input	--	--	0.3*VDD	V
		Logic Input with Schmitt Trigger	--	--	0.2*VDD	V
		Low-Level Logic Input	--	--	0.77	V
V _{HYS}	Schmitt Trigger Hysteresis Voltage	Logic Input with Schmitt Trigger	--	0.45	--	V
I _{LKG}	Input leakage (Absolute Value)	--	--	1	1000	nA
V _{OH}	HIGH-Level Output Voltage	Push-Pull, I _{OH} = 3 mA, 1X Drive	2.60	--	--	V
		Push-Pull, I _{OH} = 3 mA, 2X Drive	2.80	--	--	V
V _{OL}	LOW-Level Output Voltage	Push-Pull, I _{OL} = 3 mA, 1X Drive	--	--	0.25	V
		Push-Pull, I _{OL} = 3 mA, 2X Drive	--	--	0.22	V
		Open Drain, I _{OL} =3 mA, 1X Drive	--	--	0.12	V
		Open Drain, I _{OL} =3 mA, 2X Drive	--	--	0.089	V
I _{OH}	HIGH-Level Output Pulse Current (see Note)	Push-Pull, V _{OH} = 2.4 V, 1X Drive	5	--	--	mA
		Push-Pull, V _{OH} = 2.4 V, 2X Drive	10	--	--	mA
I _{OL}	LOW-Level Output Pulse Current (see Note)	Push-Pull, V _{OL} = 0.4 V, 1X Drive	5	--	--	mA
		Push-Pull, V _{OL} = 0.4 V, 2X Drive	10	--	--	mA
		Open Drain, V _{OL} = 0.4 V, 1X Drive	15	--	--	mA
		Open Drain, V _{OL} = 0.4 V, 2X Drive	30	--	--	mA
R _{PUP}	Pull Up Resistance	1 M Pull Up	--	1	--	MΩ
		100 k Pull Up	--	100	--	KΩ
		10 k Pull Up	--	10	--	KΩ
R _{PDWN}	Pull Down Resistance	1 M Pull Down	--	1	--	MΩ
		100 k Pull Down	--	100	--	KΩ
		10 k Pull Down	--	10	--	KΩ
Oscillators						
Power-On time	2MHz OSC	T=+25 °C	--	1.5	--	uS
Freq _{Accuracy}		T=+25 °C	--	2	--	MHz
		T=-40 °C to +85 °C	1.88	--	2.12	MHz
		Power Consumption	T=+25 °C	--	31	--
T=-40 °C to +85 °C			--	--	40	uA
Power-On time	20KHz OSC	T=+25 °C	--	52	--	uS
Freq _{Accuracy}		T=+25 °C	--	20	--	KHz
		T=-40 °C to +85 °C	18.8	--	21.2	KHz
		Power Consumption	T=+25 °C	--	2.7	--
T=-40 °C to +85 °C			--	--	3.4	uA
Note: DC or average current through any pin should not exceed value given in Absolute Maximum Conditions.						

表 8: Electrical Characteristics (VDD: 5V±10%, Temp: -40~85°C)

Parameter		Condition/Note	Min.	Typ.	Max.	Unit.
POR						
PON _{THR}	Power On Threshold	VDD Level Required to Start Up the Chip	1.67	1.80	1.92	V
POFF _{THR}	Power Off Threshold	VDD Level Required to Switch Off the Chip	0.95	1.25	1.54	V
T _{SU}	Startup Time	From VDD rising past PON _{THR}	--	1.20	--	ms
I _{stand_by}		T=+25 °C	--	155	--	nA
IO PIN						
V _{IH}	HIGH-Level Input Voltage	Logic Input	0.7*VDD	--	--	V
		Logic Input with Schmitt Trigger	0.8*VDD	--	--	V
		Low-Level Logic Input	1.00	--	--	V
V _{IL}	LOW-Level Input Voltage	Logic Input	--	--	0.3*VDD	V
		Logic Input with Schmitt Trigger	--	--	0.2*VDD	V
		Low-Level Logic Input	--	--	0.86	V
V _{HYS}	Schmitt Trigger Hysteresis Voltage	Logic Input with Schmitt Trigger	--	0.54	--	V
I _{LKG}	Input leakage (Absolute Value)	--	--	1	1000	nA
V _{OH}	HIGH-Level Output Voltage	Push-Pull, I _{OH} = 5 mA, 1X Drive	4.04	--	--	V
		Push-Pull, I _{OH} = 5 mA, 2X Drive	4.20	--	--	V
V _{OL}	LOW-Level Output Voltage	Push-Pull, I _{OL} = 5 mA, 1X Drive	--	--	0.29	V
		Push-Pull, I _{OL} = 5 mA, 2X Drive	--	--	0.21	V
		Open Drain, I _{OL} = 5 mA, 1X Drive	--	--	0.15	V
		Open Drain, I _{OL} = 5 mA, 2X Drive	--	--	0.114	V
I _{OH}	HIGH-Level Output Pulse Current (see Note)	Push-Pull, V _{OH} = 2.4 V, 1X Drive	19	--	--	mA
		Push-Pull, V _{OH} = 2.4 V, 2X Drive	38	--	--	mA
I _{OL}	LOW-Level Output Pulse Current (see Note)	Push-Pull, V _{OL} = 0.4 V, 1X Drive	7	--	--	mA
		Push-Pull, V _{OL} = 0.4 V, 2X Drive	14	--	--	mA
		Open Drain, V _{OL} = 0.4 V, 1X Drive	21	--	--	mA
		Open Drain, V _{OL} = 0.4 V, 2X Drive	42	--	--	mA
R _{PUP}	Pull Up Resistance	1 M Pull Up	--	1	--	MΩ
		100 k Pull Up	--	100	--	KΩ
		10 k Pull Up	--	10	--	KΩ
R _{PDWN}	Pull Down Resistance	1 M Pull Down	--	1	--	MΩ
		100 k Pull Down	--	100	--	KΩ
		10 k Pull Down	--	10	--	KΩ
Oscillators						
Power-On time	2MHz OSC	T=+25 °C	--	1.5	--	uS
FreqAccuracy		T=+25 °C	--	1.97	--	MHz
		T=-40 °C to +85 °C	1.85	--	2.09	MHz
Power Consumption		T=+25 °C	--	45	--	uA
	T=-40 °C to +85 °C	--	--	57	uA	
Power-On time	20KHz OSC	T=+25 °C	--	50	--	uS
FreqAccuracy		T=+25 °C	--	20	--	KHz
		T=-40 °C to +85 °C	18.8	--	21.2	KHz
Power Consumption		T=+25 °C	--	3.6	--	uA
	T=-40 °C to +85 °C	--	--	4.6	uA	

Note: DC or average current through any pin should not exceed value given in Absolute Maximum Conditions.

表 9: I²C 引脚时序参数, (VDD: 1.8V±5%, Temp: -40℃ ~ 85℃)

Parameter	Description	Condition	Standard-Mode		Unit
			Min	Max	
F _{SCL}	Clock Frequency, SCL		--	100	KHz
t _{LOW}	Clock Pulse Width Low		4.7	--	μs
t _{HIGH}	Clock Pulse Width High		4.0	--	μs
t _i	Input Filter Spike Suppression (SCL,SDA)		--	70	ns
t _{AA}	Clock Low to Data Out Valid		--	3.45	μs
t _{BUF}	Bus Free Time between Stop and Start		4.7	--	μs
t _{HD_STA}	Start Hold Time		4.7	--	μs
t _{SU_STA}	Start Set-up Time		4.7	--	μs
t _{HD_DAT}	Data Hold Time		0	--	ns
t _{SU_DAT}	Data Set-up Time		250	--	ns
t _R	Inputs Fail Time		--	1000	ns
t _F	Inputs Rise Time		--	300	ns
t _{SU_STO}	Stop Set-up Time		4.0	--	μs
t _{DH}	Data out Hold Time		50	--	ns

Note: Timing Diagram can be found in the Figure 20.

表 10: I²C 引脚时序参数, (VDD:2.3V ~ 5.5V, Temp: -40℃ ~ 85℃)

Parameter	Description	Condition	Fast-Mode		Fast-Mode Plus		Unit
			Min	Max	Min	Max	
F _{SCL}	Clock Frequency, SCL		--	400	--	1000	KHz
t _{LOW}	Clock Pulse Width Low		1300	--	500	--	ns
t _{HIGH}	Clock Pulse Width High		600	--	260	--	ns
t _i	Input Filter Spike Suppression (SCL,SDA)	VDD=2.5V±8%	--	95	--	168	ns
		VDD=3.3V±10%	--	95	--	157	ns
		VDD=5V±10%	--	111	--	156	ns
t _{AA}	Clock Low to Data Out Valid		--	900	--	450	ns
t _{BUF}	Bus Free Time between Stop and Start		1300	--	500	--	ns
t _{HD_STA}	Start Hold Time		600	--	260	--	ns
t _{SU_STA}	Start Set-up Time		600	--	260	--	ns
t _{HD_DAT}	Data Hold Time		0	--	0	--	ns
t _{SU_DAT}	Data Set-up Time		100	--	50	--	ns
t _R	Inputs Fail Time		--	300	--	120	ns
t _F	Inputs Rise Time		--	300	--	120	ns
t _{SU_STO}	Stop Set-up Time		600	--	260	--	ns
t _{DH}	Data out Hold Time		50	--	50	--	ns

Note: Timing Diagram can be found in the Figure 20.

4. 输入输出引脚

LS98003 共有 5 个 GPIO 引脚，可以用作用户定义的输入或输出，也可以用作特殊功能（例如输出电压参考）、1 个 GPI 引脚。

4.1 通用输入引脚

GPI_0 用作通用输入口，对于通用输入口，内部框图如图 4 所示。

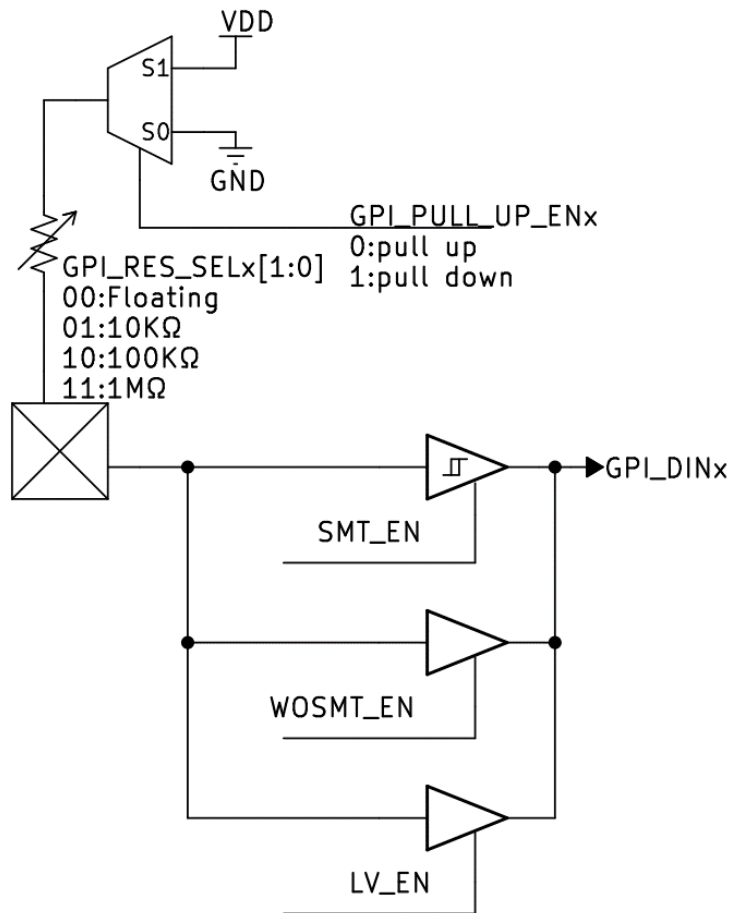


图 4: 通用输入口内部框图

4.2 通用输入输出引脚

GPIO_0、GPIO_1、GPIO_2、GPIO_3、GPIO_4 用作 GPIO 口。

GPIO_0、GPIO_1 分别作用于 I²C-SCL 和 I²C-SDA 的内部框图如图 5 所示。

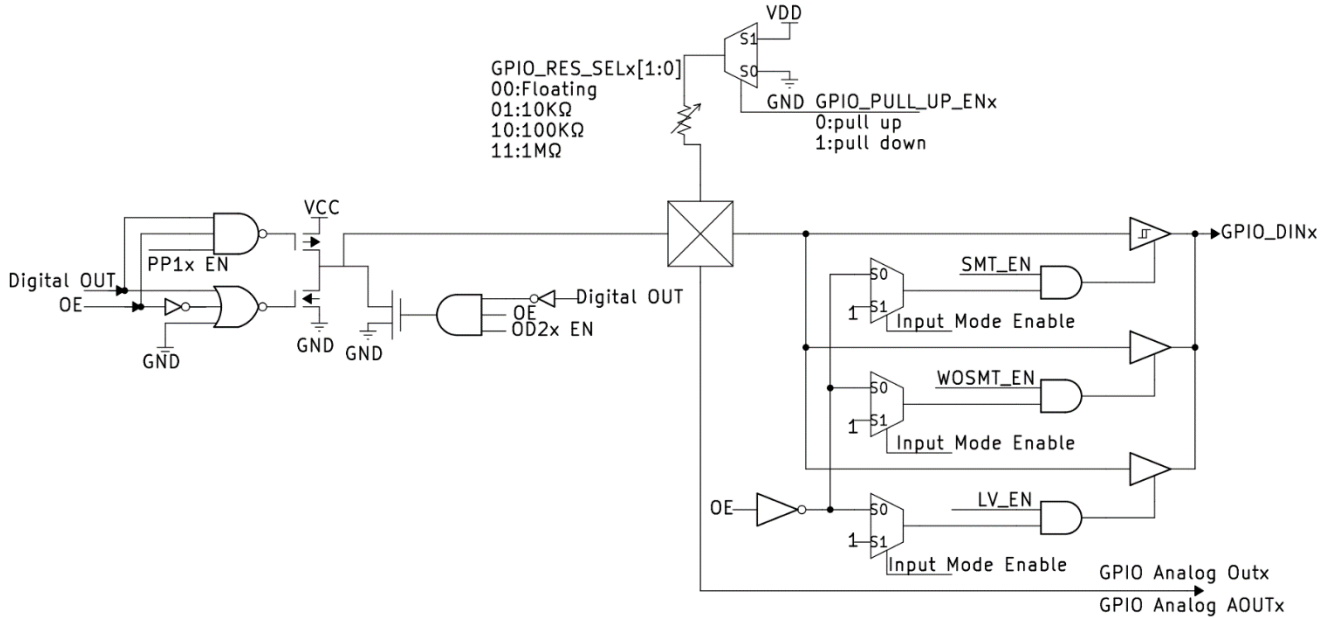


图 5: 通用输入输出引脚 3、4 内部框图

GPIO_2、GPIO_3、GPIO_4 的内部框图如图 6 所示。

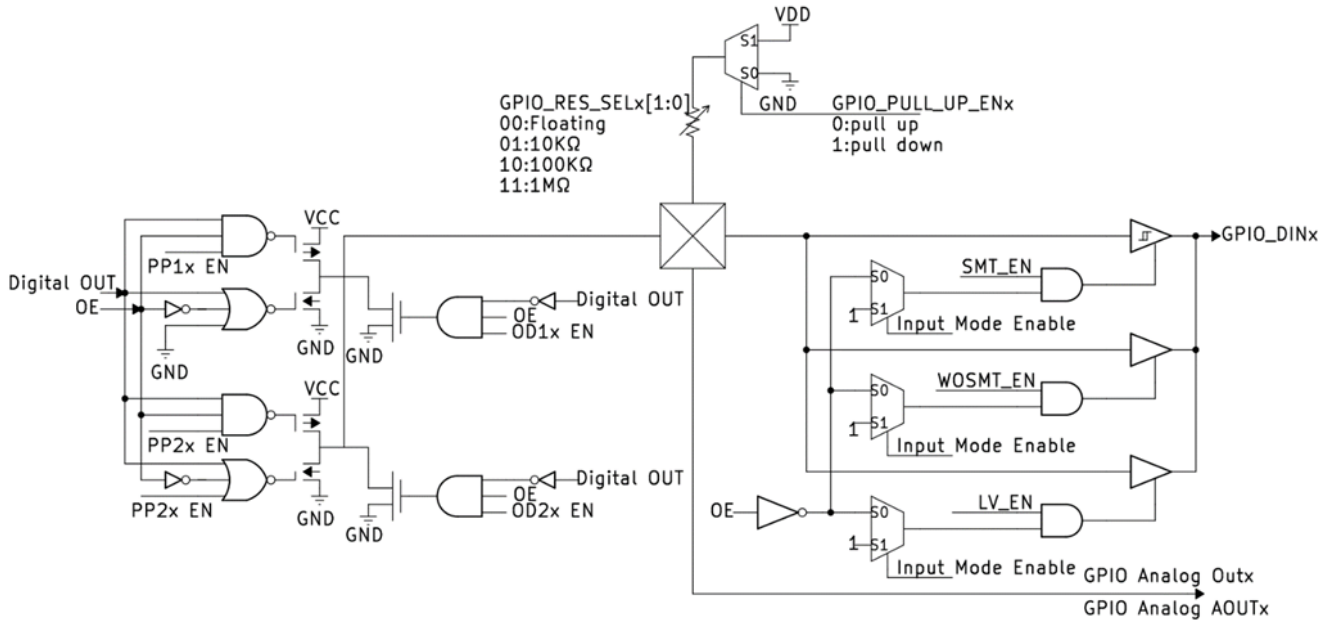


图 6: 通用输入输出引脚内部框图

6.2 2-bit LUT/Pattern Generator 单元

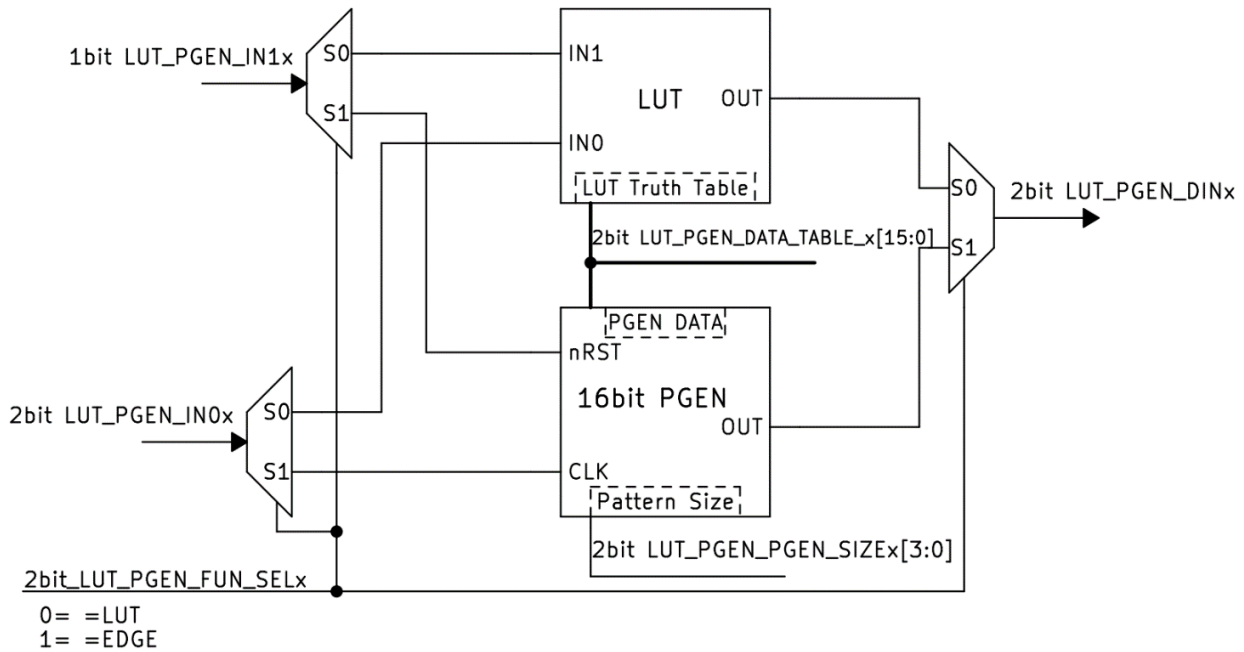


图 8: 2-bit LUT/Pattern Generator 电路图

6.3 2-bit LUT/Edge Detector 的单元

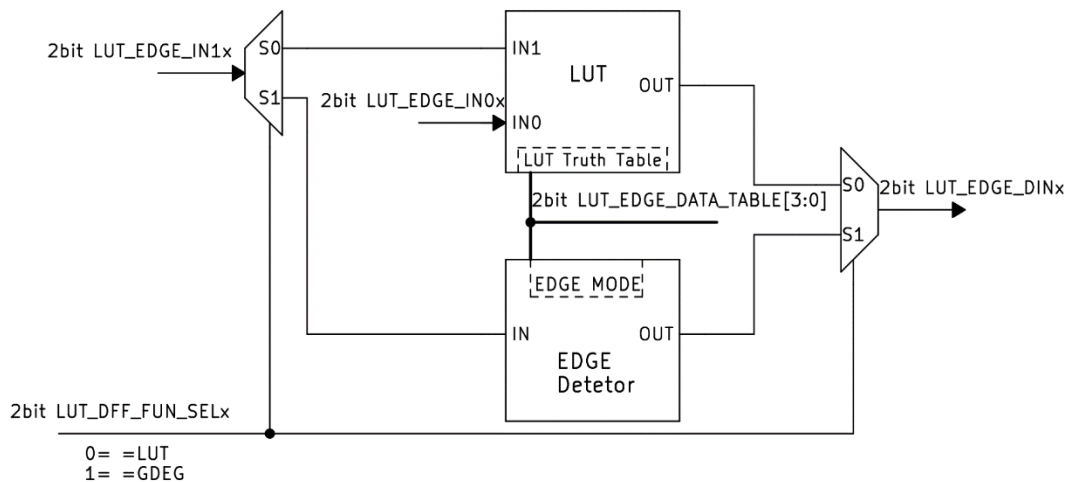


图 9: 2 bit LUT/Edge Detector 电路图

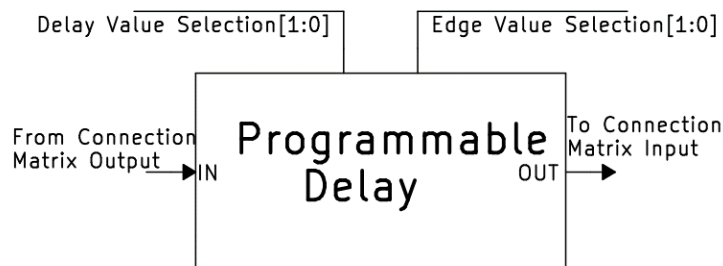


图 10: Programmable Delay 框图

6.4 3-bit LUT/Pipe Delay 的单元

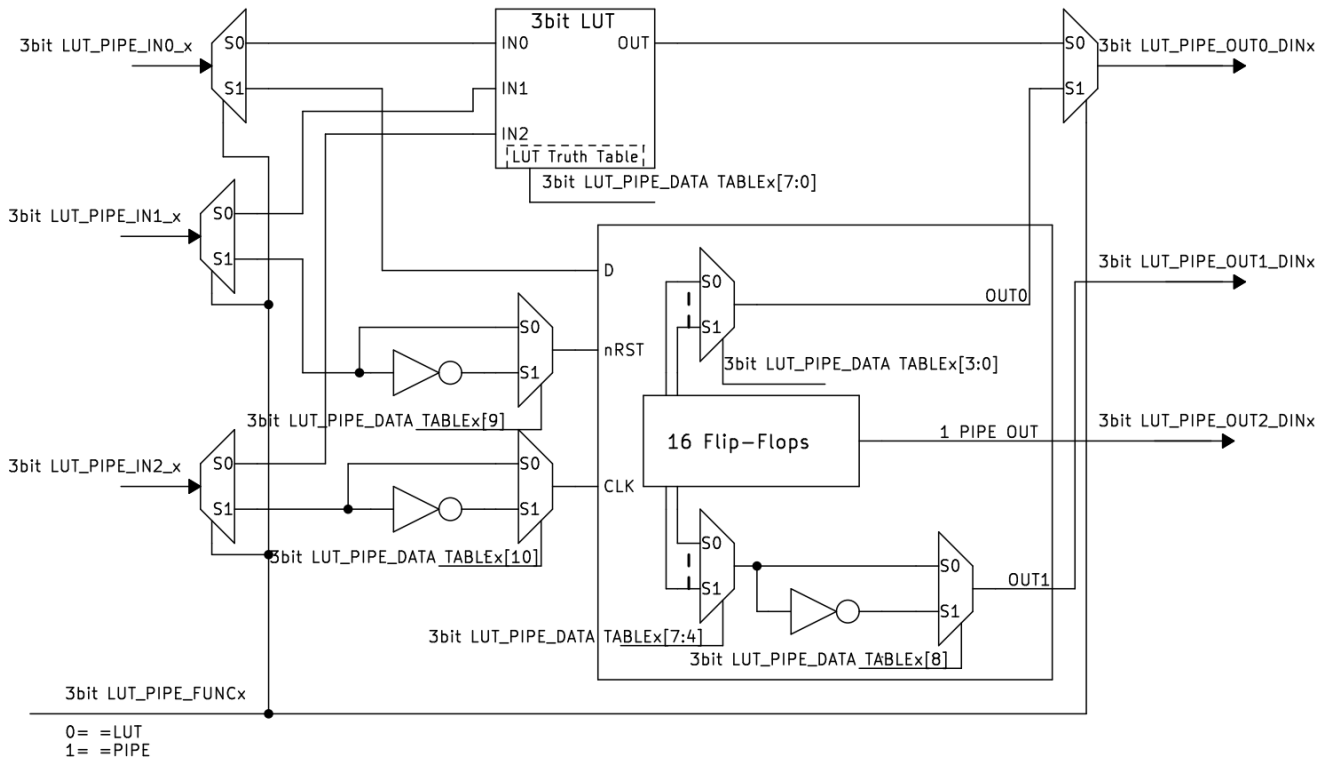


图 11: 3-bit LUT/Pipe Delay 电路图

6.5 4-bit LUT/DFF with nRST/nSET 的单元

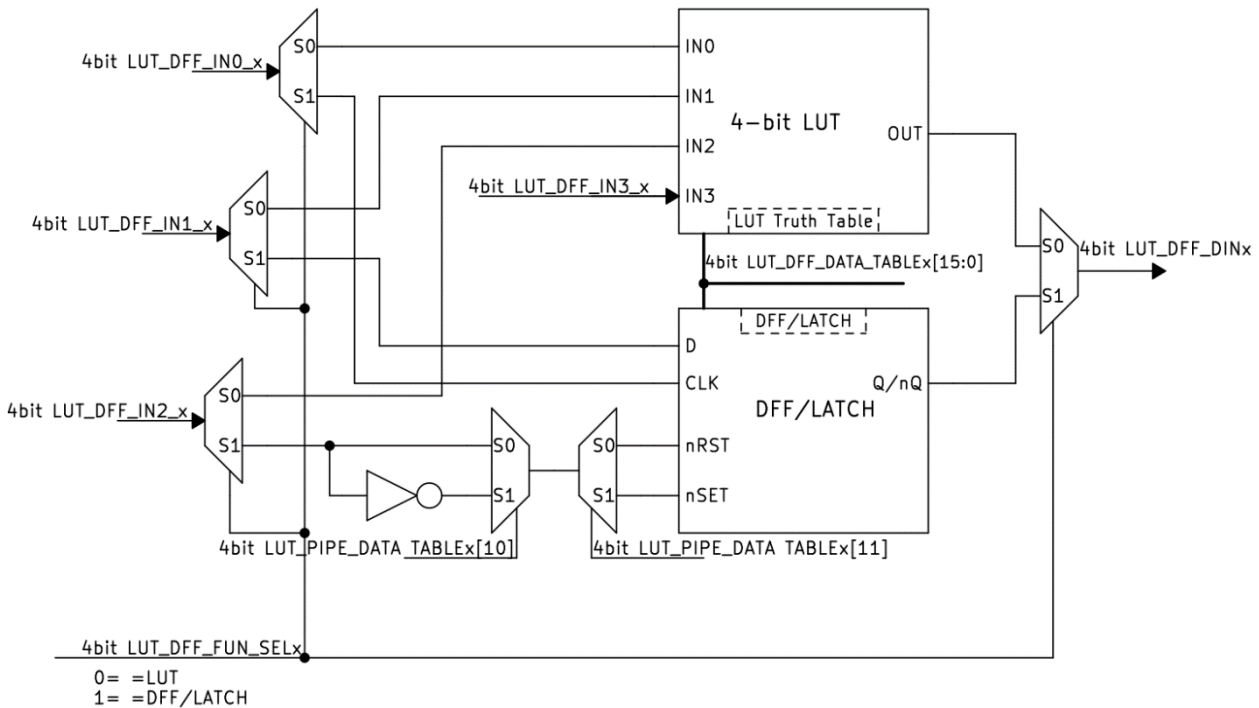


图 12: 4-bit LUT/DFF 电路图

7. 多功能模块 (MFB)

LS98003具有8个多功能单元，可充当多个逻辑或定时功能。在各种情况下，它们都可以作为LUT、具有灵活设置的DFF，或者作为具有多种模式的Counter/Delay，如单次拍摄、频率检测、边沿检测等。此外，宏单元能够组合这些功能：连接到Counter/Delay的LUT/DFF以及连接到LUT或DFF的Counter/Delay。

有关可以在这些单元中实现的功能，请参见下面的列表：

- ◆ 7x可选择的3-bit LUT/DFF + 8-bit Counter/Delay
- ◆ 1x可选择的4-bit LUT/DFF + 16-bit Counter/Delay

7.1 3-bit LUT/DFF 或 8-bit Counter/Delay

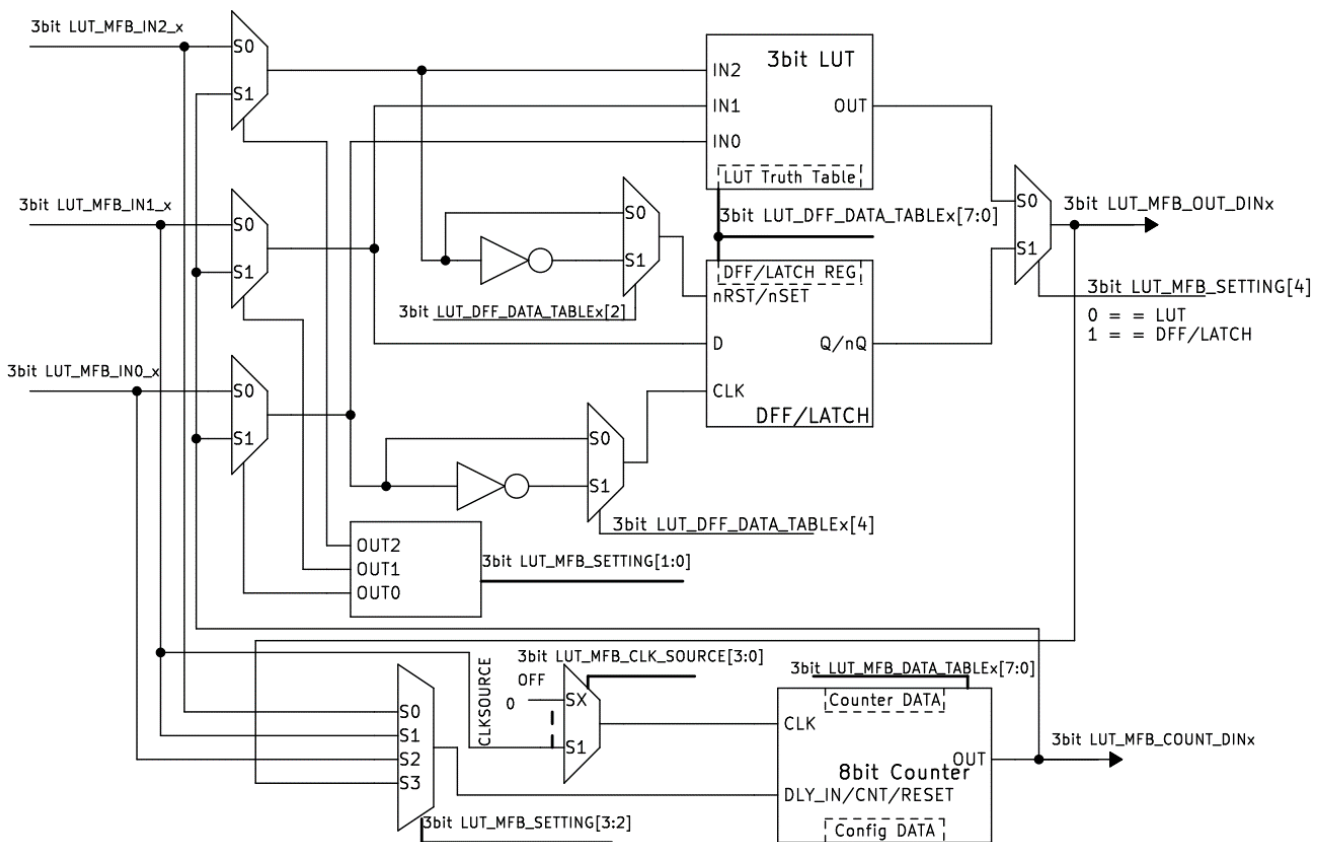


图 13: 3-bit LUT 或 8-bit Counter/Delay

7.2 4-bit LUT/DFF 或 16-bit Counter/Delay

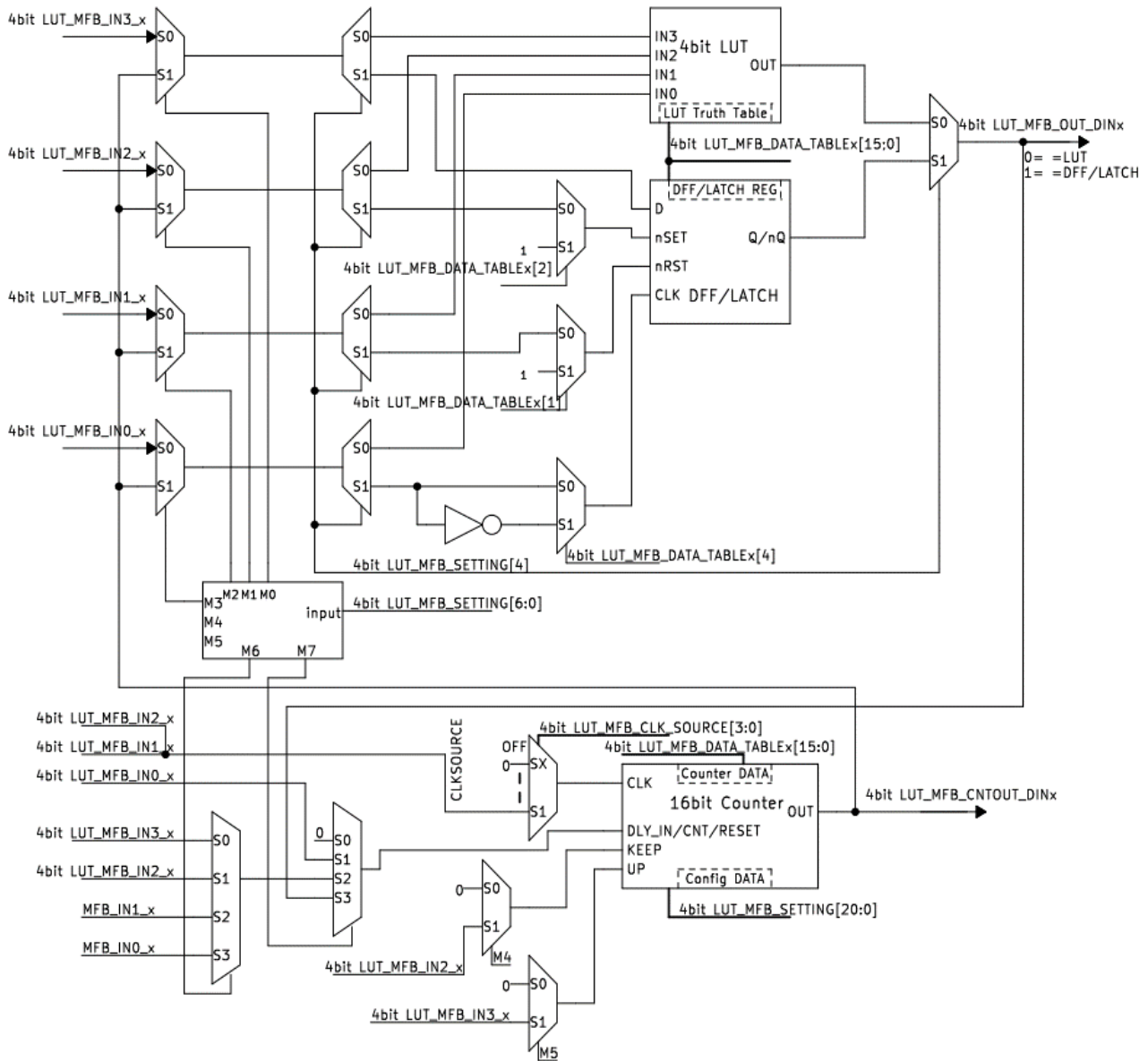


图 14: 4-bit LUT 或 16-bit Counter/Delay

8. I²C 通信接口

LS98003 提供 I²C 通信接口，允许 I²C master 去读或写内部寄存器，从而远程重新配置内部资源及其连接关系。

8.1 I²C 读取

8.1.1 当前地址读取指令

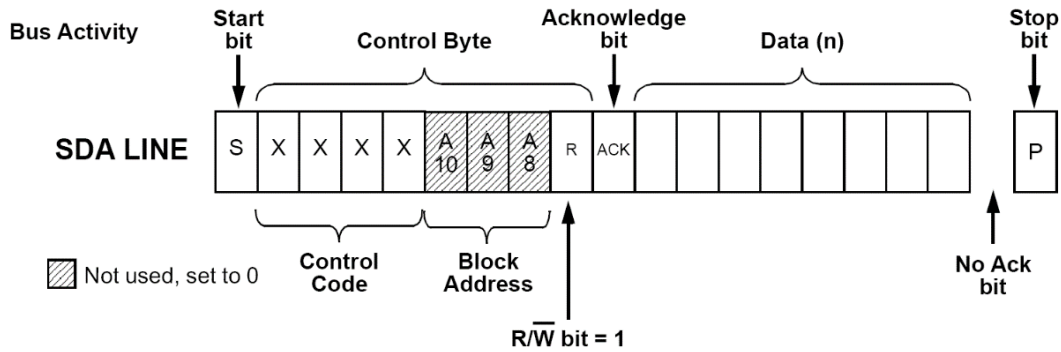


图 15: 当前地址读取指令

8.1.2 随机读取指令

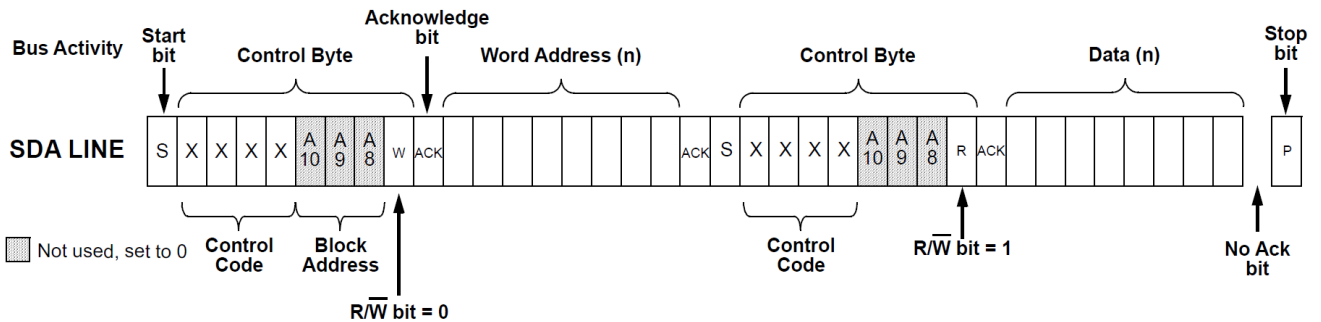


图 16: 随机读取指令

8.1.3 顺序读取指令

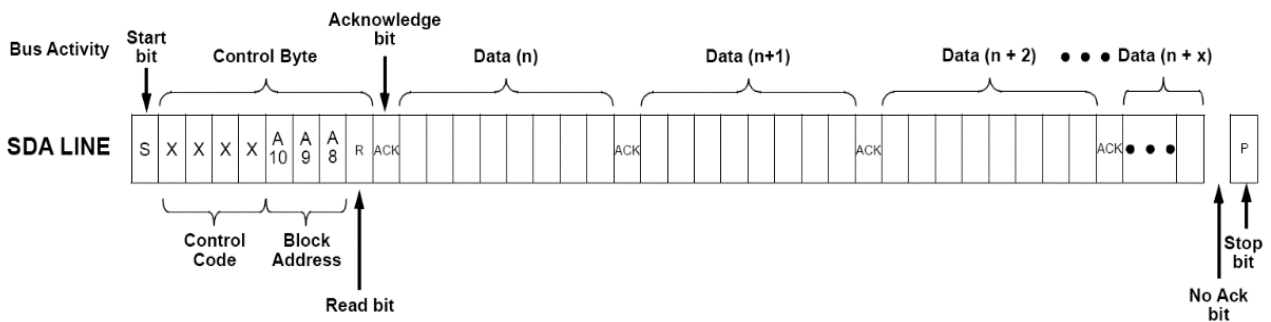


图 17: 顺序读取指令

8.2 I²C 写入

8.2.1 字节写入指令

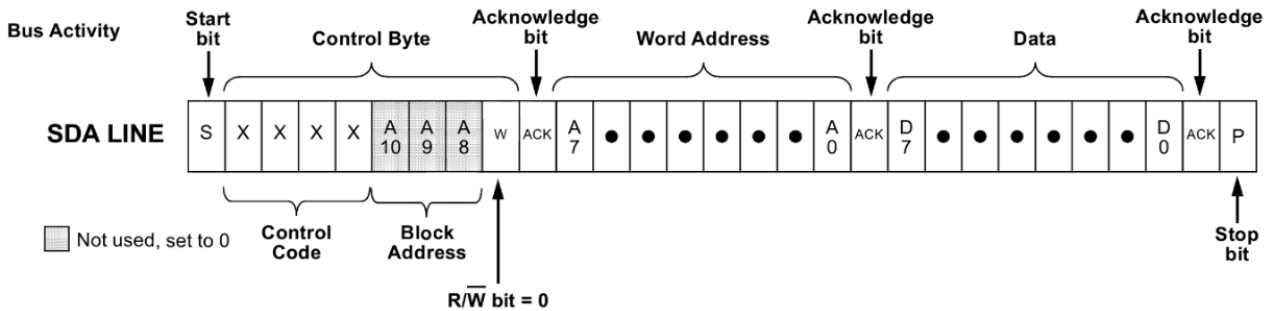


图 18: 字节写入指令

8.2.2 顺序写入指令

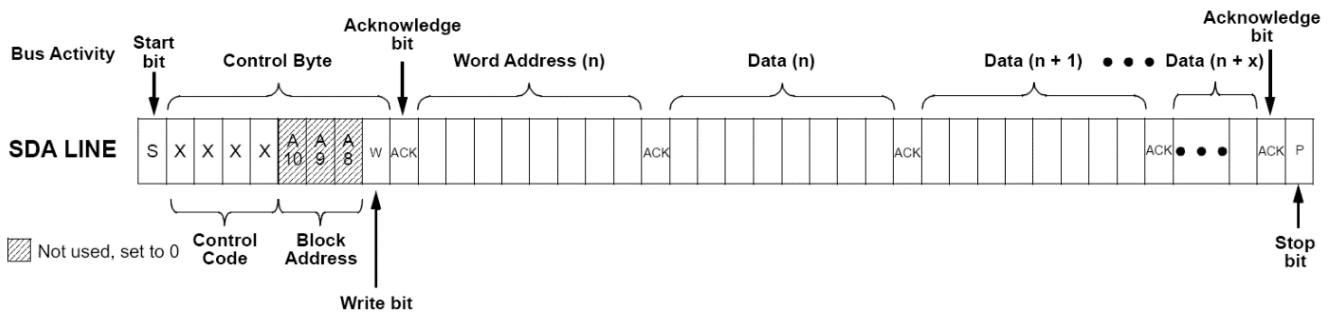


图 19: 顺序写入指令

8.3 I²C 时序图

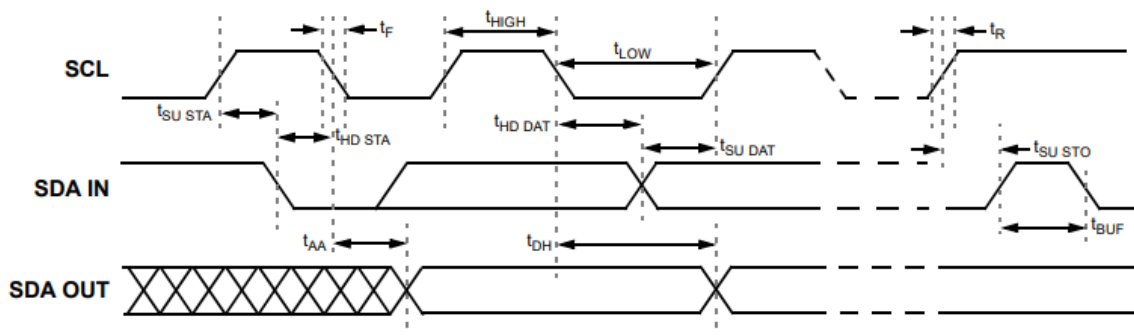


图 20: I²C 时序图

8.4 I²C 软件复位功能

如果与设备建立 I²C 串行通信，则可以将设备复位到初始上电条件，包括所有宏单元的配置和连接矩阵提供的所有连接。这是通过设置寄存器[909]，I²C 复位为“1”来实现的，这导致设备重新启用 POR 序列，包括从 NVM 重新加载所有寄存器数据。在 POR 序列期间，设备的输出将处于三态，复位完成后，内容寄存器[909]的值将自动设置为“0”。

9. 时钟方案

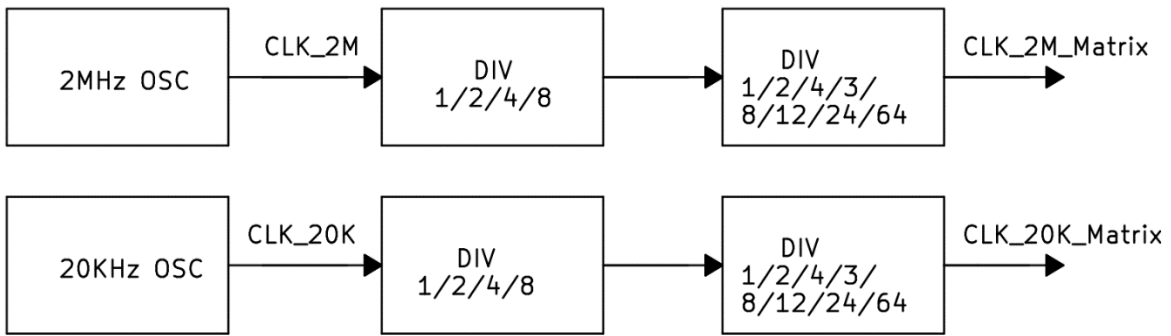


图 21: 时钟源

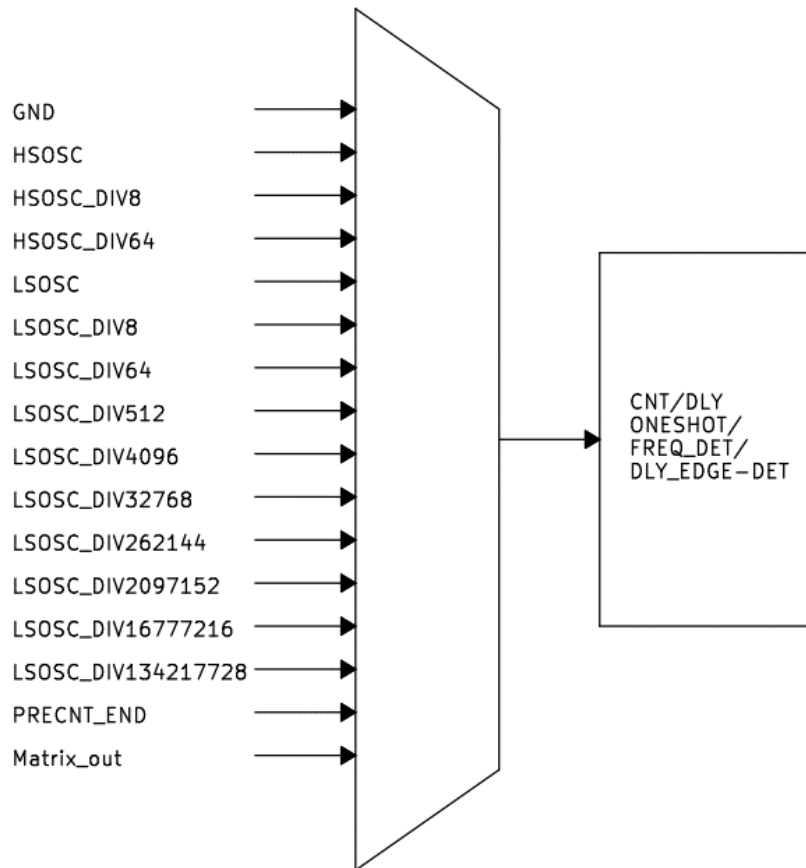


图 22: 时钟分配图

10. 外部时钟

LS98003 支持多种使用外部高精度时钟作为内部操作参考源的方式。

10.1 Matrix Source for 20KHz/2MHz Clock

2MHz Clock 来自于 PIN6, 20KHz Clock 来自于 PIN2。

11. 代码保护功能

LS98003 提供给客户一种代码保护功能，当保护位 bit[911]被 program 成“1”之后所有芯片功能相关的代码可以被锁定，无法被读出，有效保护客户的设计信息。

12. POR

12.1 Power Down

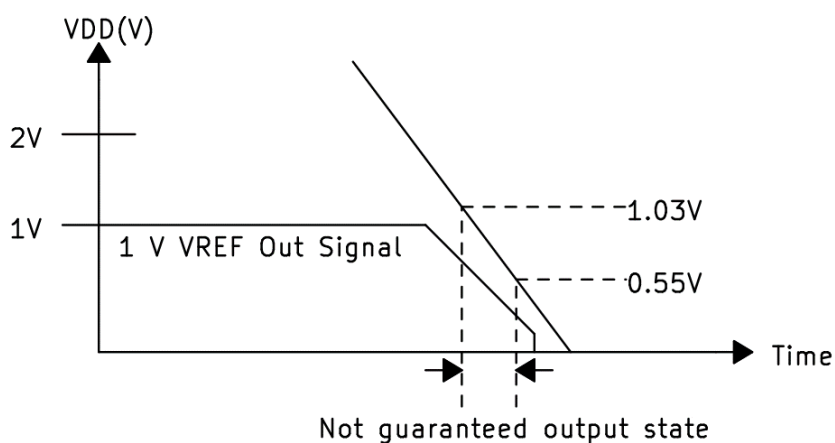


图 23: Power Down

在掉电过程中，当 VDD 下降到 Power off Threshold 以下时，LS98003 中的所有模块将被关闭，请注意在缓慢降频期间，输出可能在此期间切换状态。

12.2 POR 序列

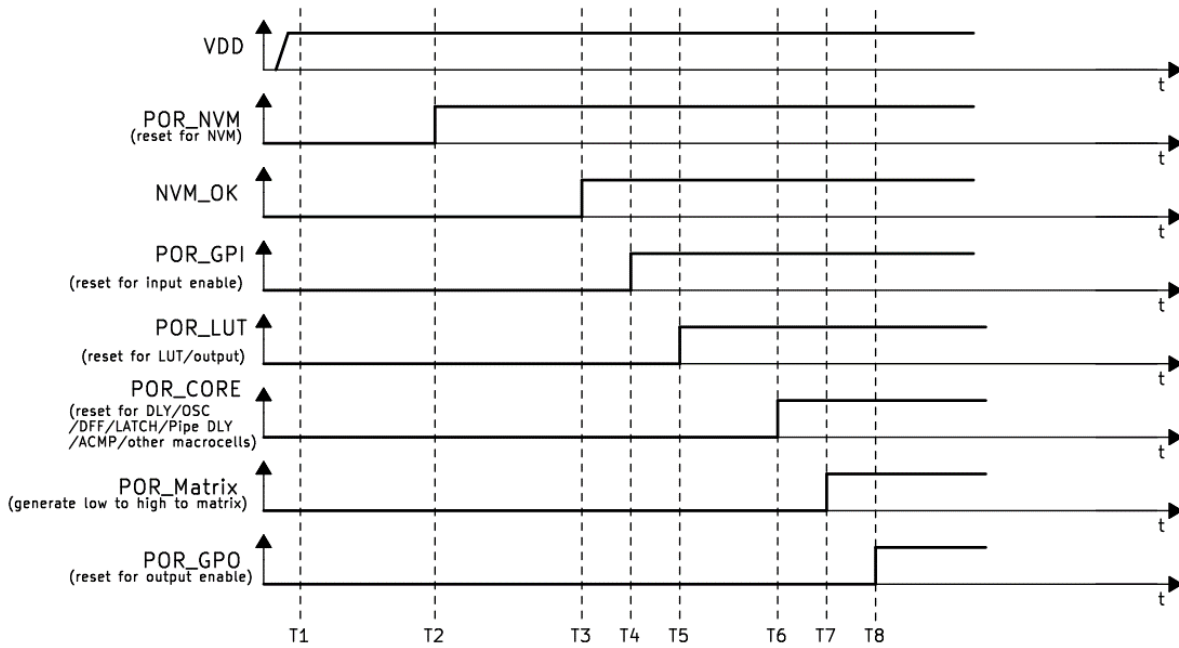


图 24: POR 序列图

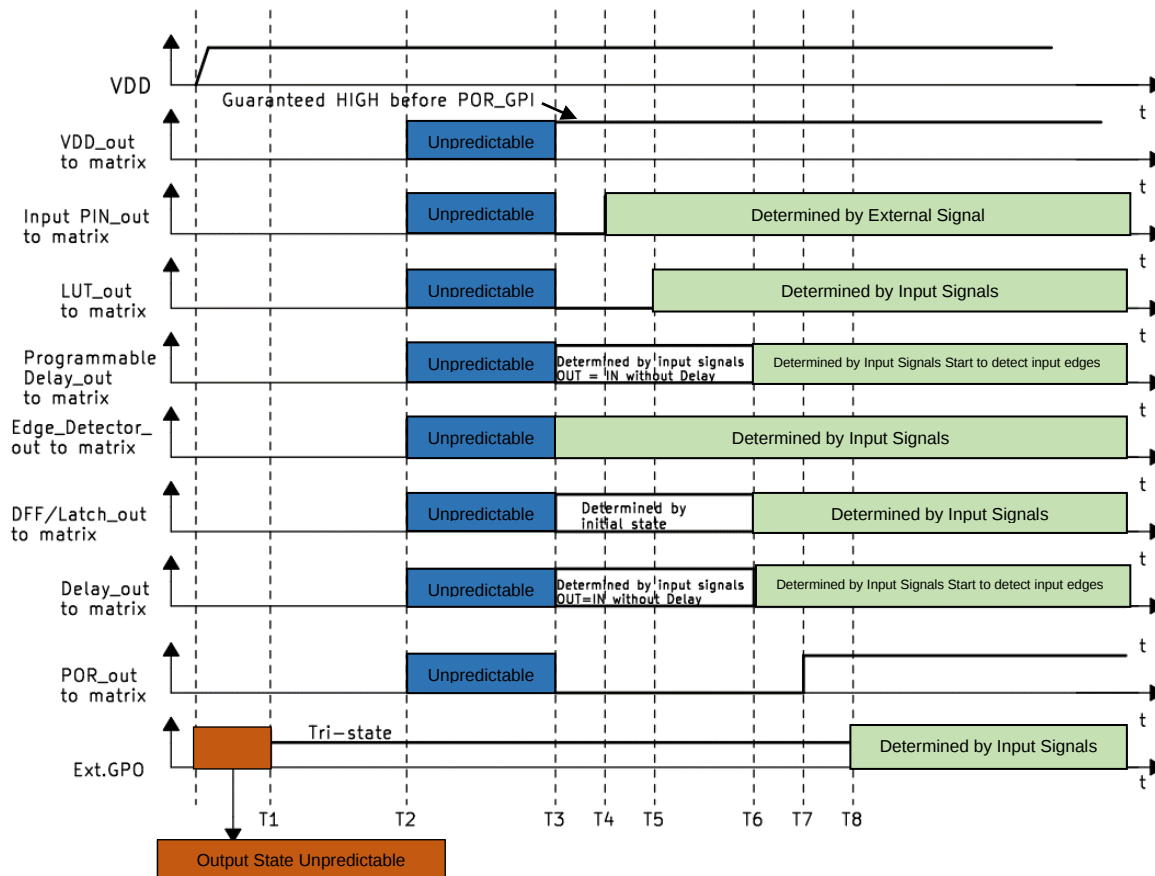


图 25: Internal Macrocell States during POR sequence

注：图 24 和图 25 的 T1-T8 一一对应。

13. Virtual Memory

13.1 Virtual Memory Input

I²C 可以把 register bit [975:968] 写入主矩阵的 input <39:32>。

13.2 Virtual Memory Output

I²C 可以通过 register [999:992] 读出内部节点的输出，以下是相关配置信息：

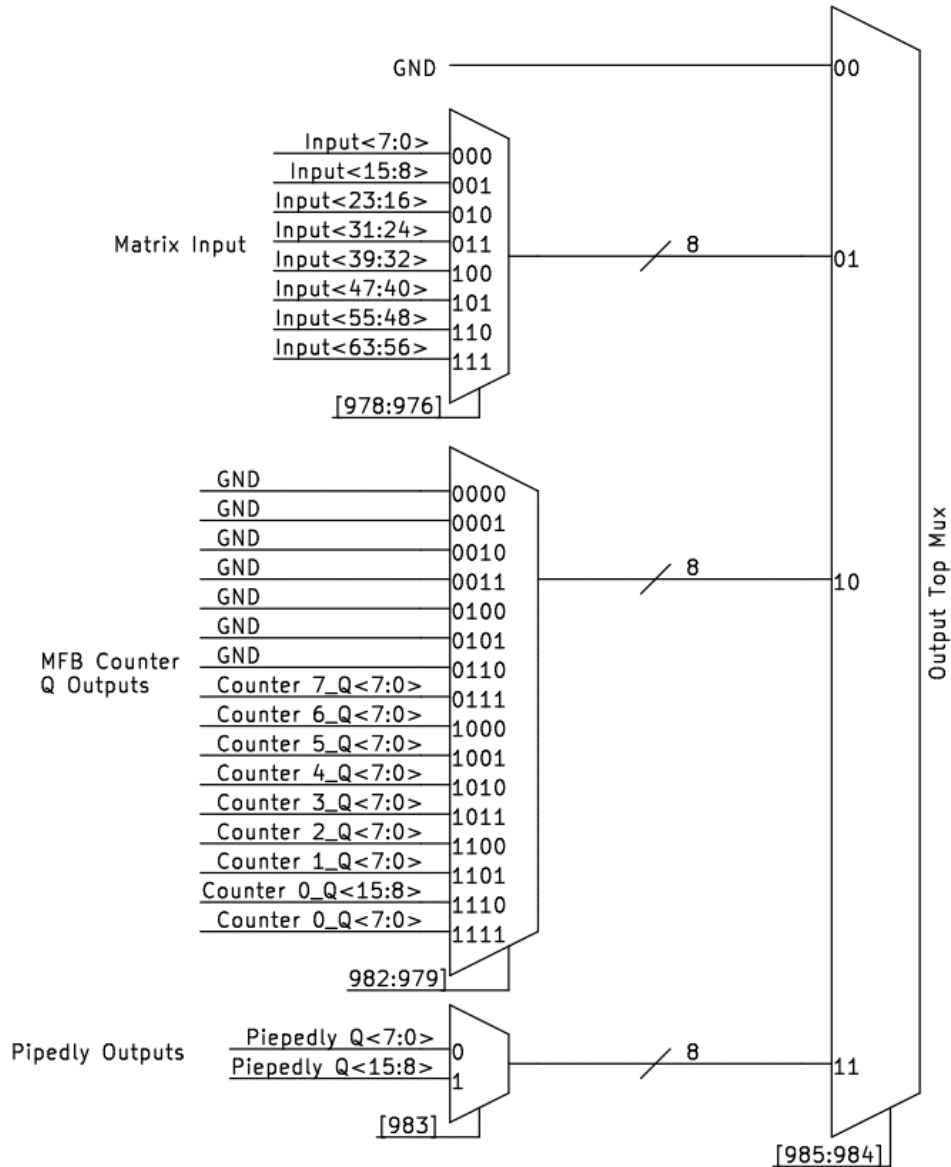


图 26: Virtual Memory Out

14. 封装信息

14.1 TQFN-8L:1.3×1.3×0.55mm 0.4mm pitch (LS98003-A)

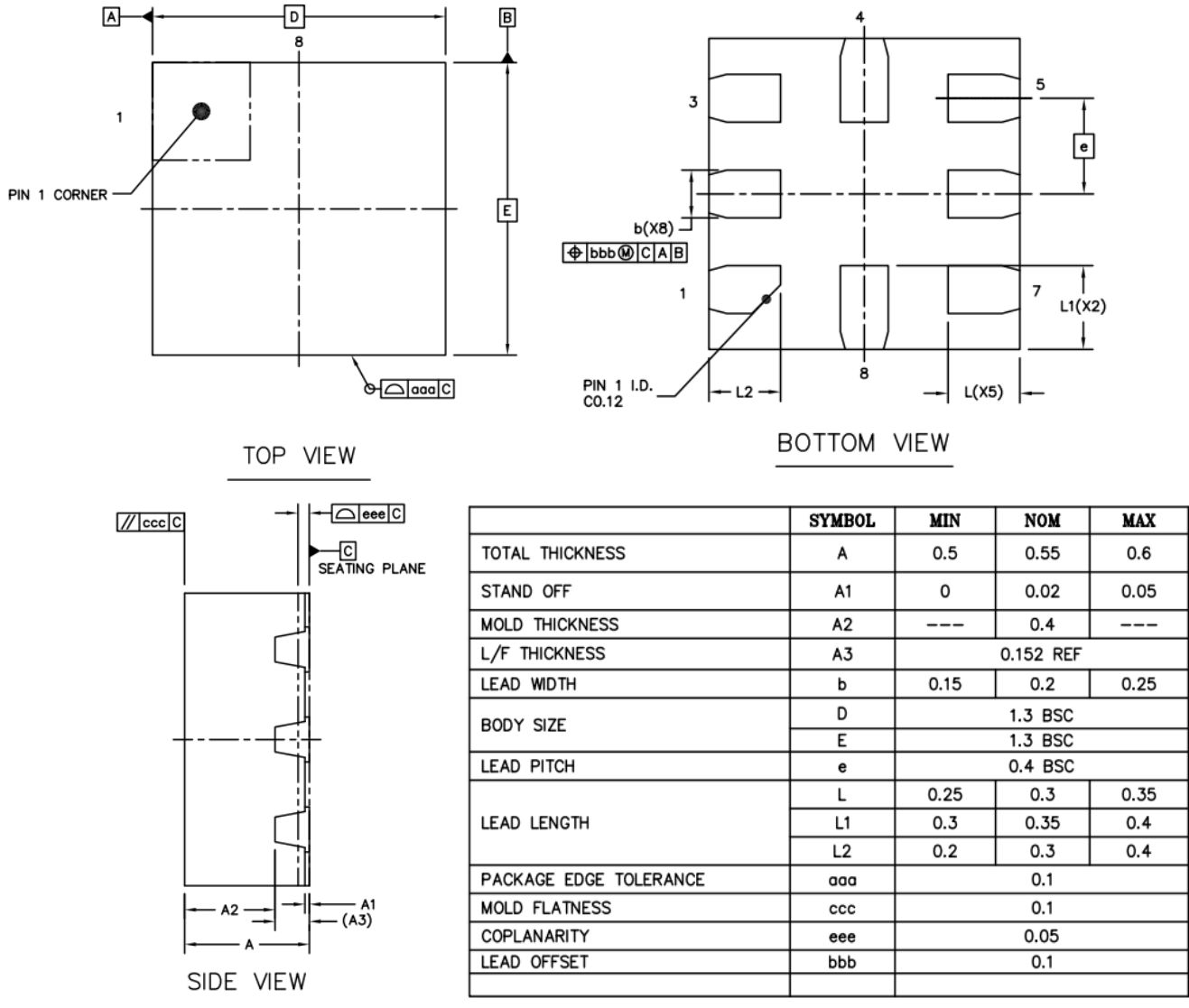


图 27: 封装轮廓图 (A 封装)

14.2 DFN-8L:2×2×0.75mm 0.5mm pitch (LS98003-D)

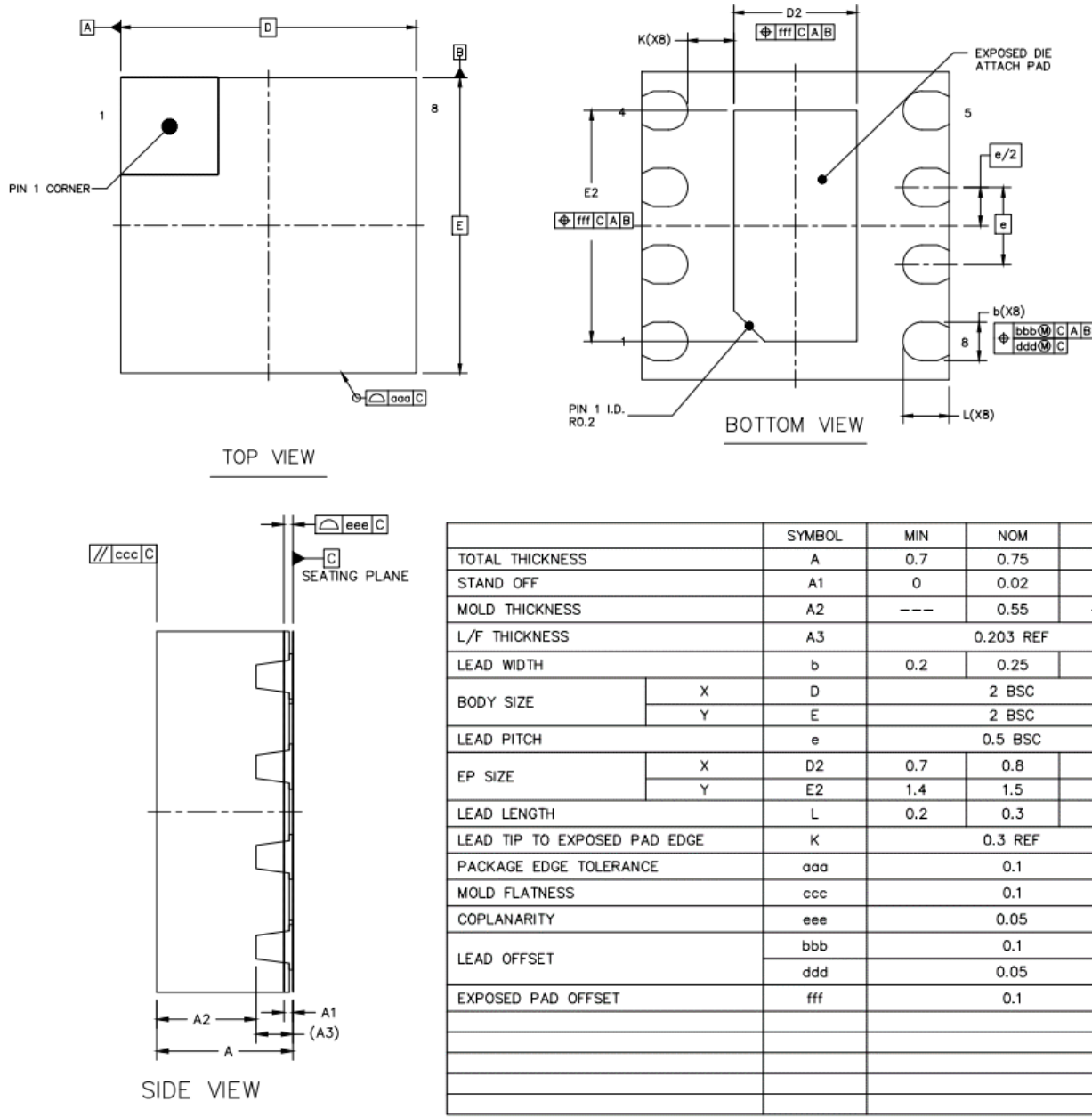


图 28: 封装轮廓图 (D 封装)

15. 订购信息

15.1 载带和卷盘规格 (LS98003-A)

表 11: Package Type

Package Type	Num of Pins	Package Size [mm]	Units/package		Reel & Hub Size [mm]	Leader (min)		Trailer (min)		Tape Width [mm]	Part Pitch [mm]
			SPQ	1 Box		Pockets	Length [mm]	Pockets	Length [mm]		
TQFN-8L 1.3×1.3mm	8	1.3×1.3×0.55	3000	3000	178/60	30	120	140	560	8	4

15.2 载带图与尺寸 (LS98003-A)

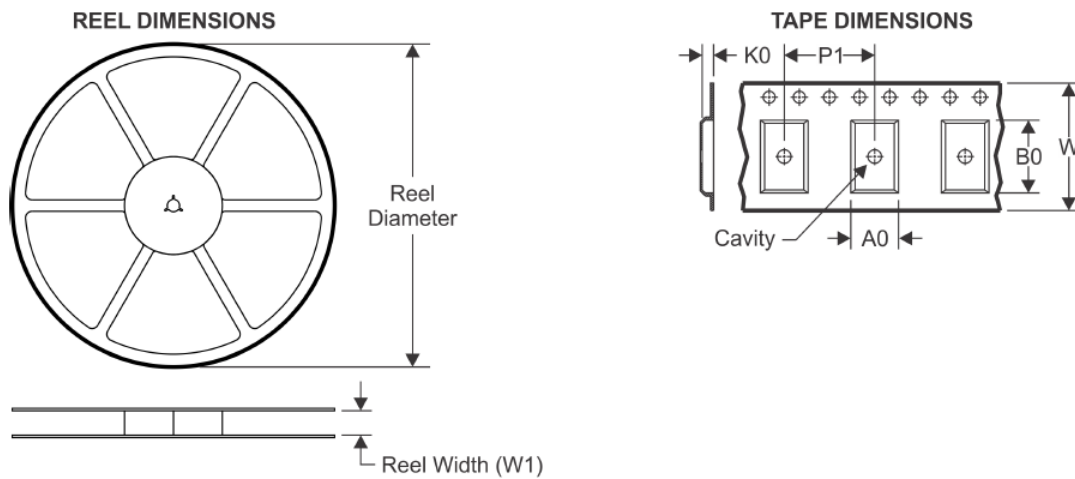


图 29: 载带尺寸图

表 12: 载带尺寸规格 (LS98003-A)

A0	Dimension designed to accommodate the component width	1.6mm
B0	Dimension designed to accommodate the component length	1.6mm
K0	Dimension designed to accommodate the component thickness	0.8mm
W	Overall width of the carrier tape	8.0mm
W1	Reel Width	9.5mm
P0	Pitch between Index Hole Pitch	4.0mm
P1	Pitch between successive cavity centers	4.0mm

15.3 载带和卷盘规格 (LS98003-D)

表 13: Package Type

Package Type	Num of Pins	Package Size [mm]	Units/package		Reel & Hub Size [mm]	Leader (min)		Trailer (min)		Tape Width [mm]	Part Pitch [mm]
			SPQ	1 Box		Pockets	Length [mm]	Pockets	Length [mm]		
DFN-8L 2.0×2.0mm	8	2.0×2.0×0.75	3000	3000	178/60	30	120	140	560	8	4

15.4 载带图与尺寸 (LS98003-D)

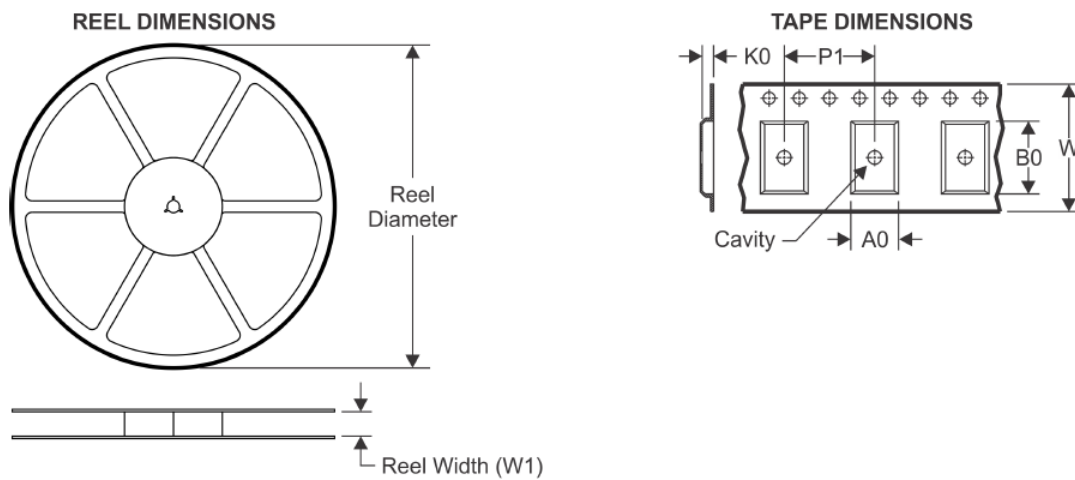


图 30: 载带尺寸图

表 14: 载带尺寸规格 (LS98003-D)

A0	Dimension designed to accommodate the component width	2.3mm
B0	Dimension designed to accommodate the component length	2.3mm
K0	Dimension designed to accommodate the component thickness	1.1mm
W	Overall width of the carrier tape	8.0mm
W1	Reel Width	9.5mm
P0	Pitch between Index Hole Pitch	4.0mm
P1	Pitch between successive cavity centers	4.0mm

16. Recommended Reflow Soldering Profile

Please see IPC/JEDEC J-STD-020

16.1 Recommended Land Pattern (LS98003-A)

 **PAD Facing Down**
 **Recommended Land Pattern Up facing down from Package top**

Unit: mm

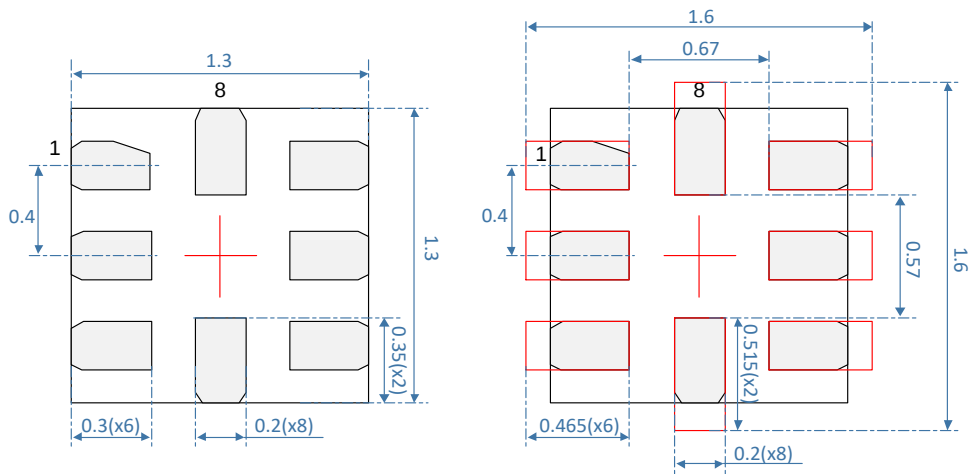


图 31: Recommended Land Pattern (LS98003-A)

16.2 Recommended Land Pattern (LS98003-D)

 **PAD Facing Down**
 **Recommended Land Pattern Up facing down from Package top**

Unit: mm

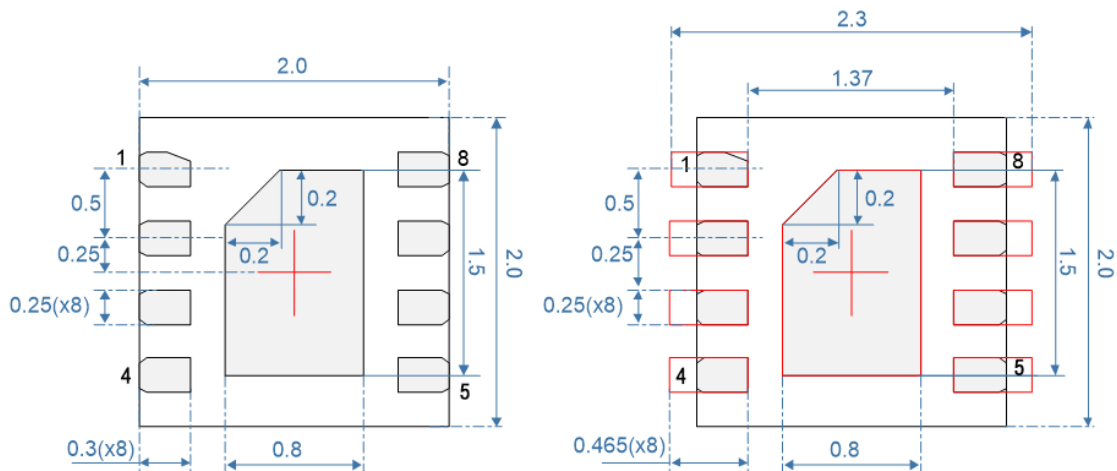


图 32: Recommended Land Pattern (LS98003-D)

17. 修订历史

表 15: 修订历史

版本	修改内容	修改人	日期
R01	初始版本	钱如	2023-03-30
R02	更新 P10-P13 中 3.4 节表格参数内容和条件	钱如	2023-06-14
R03	更新 P10-P13 中 3.4 节表格参数部分数据并调整表格格式	钱如	2023-06-26
R04	更新 P11-P13 表 7-表 8 中 V_{OL} 的 Max 值	钱如	2023-07-20
R05	根据测试加测数据校正表 7 至表 8 中 IO PIN 模块 V_{IL} 参数 Low-Level Logic Input 条件下的 Max 值,分别是 0.63 更新为 0.75、0.71 更新为 0.85 (P11、P12)	钱如	2024-01-06
R06	1.图 25 进行彩色标识 (P25) 2.图 32 'Recommended Land Pattern '中 PIN 标识有误, “5 和 6” PIN 标识分别改为“4 和 5”标识 (P31) 3.根据软件测算校正表 7 至表 8 中 IO PIN 模块 V_{IL} 参数 'Low-Level Logic Input' 条件下的 Max 值,分别是 0.75 更新为 0.77、0.85 更新为 0.86 (P11、P12)	钱如	2024-03-19